

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

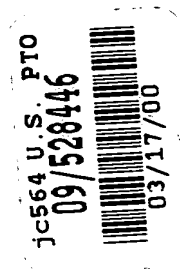
In re application of

Shiro FUJIMA

Serial No. (unknown)

Filed herewith

SEMICONDUCTOR MEMORY DEVICE  
HAVING WORD LINES DRIVEN BY  
ROW SELECTING SIGNAL AND  
COLUMN SELECTING SIGNAL LINES  
ARRANGED PARALLEL TO EACH OTHER,



CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119  
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's corresponding patent application filed in Japan on March 31, 1999 under No. 11-094203.

Applicant herewith claims the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

A handwritten signature in black ink, appearing to read 'Robert J. Patch'.

Robert J. Patch  
Attorney for Applicant  
Registration No. 17,355  
745 South 23rd Street  
Arlington, VA 22202  
Telephone: 703/521-2297

March 17, 2000

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

OSP-897/-2  
US US

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出願年月日

Date of Application:

1999年 3月31日

願番号

Application Number:

平成11年特許願第094203号

願人

Applicant(s):

日本電気株式会社

JCS64 U.S. PTO

09/528446



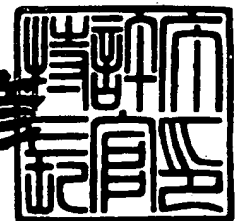
03/17/00

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 2月 4日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦



出証番号 出証特2000-3003557

【書類名】 特許願

【整理番号】 74410269

【提出日】 平成11年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/40

【発明の名称】 半導体記憶装置

【請求項の数】 13

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 藤間 志郎

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100108578

    【弁理士】

    【氏名又は名称】 高橋 詔男

【選任した代理人】

    【識別番号】 100064908

    【弁理士】

    【氏名又は名称】 志賀 正武

【選任した代理人】

    【識別番号】 100101465

    【弁理士】

    【氏名又は名称】 青山 正和

【選任した代理人】

    【識別番号】 100108453

    【弁理士】

    【氏名又は名称】 村山 靖彦

【選任した代理人】

【識別番号】 100100077

【弁理士】

【氏名又は名称】 大場 充

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 半導体記憶装置  
【特許請求の範囲】

【請求項 1】 複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従って、前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、

前記行アドレスをデコードして行選択信号を生成する行デコード手段と、

該行デコード手段に隣接して配置され、前記列アドレスをデコードして列選択信号を生成する列デコード手段とを具備し、

前記行選択信号で駆動されるワード線と前記列選択信号が出力される列選択信号線を平行に配線して前記メモリブロックへ供給することで前記メモリセルにアクセスすることを特徴とする半導体記憶装置。

【請求項 2】 隣接する前記ワード線の間前記列選択信号線を配線したことを特徴とする請求項 1 項記載の半導体記憶装置。

【請求項 3】 前記ワード線及び前記列選択信号線を同一方向から前記メモリブロックへ供給することを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 4】 前記ワード線及び前記列選択信号線を同一の配線層で配線したことを特徴とする請求項 1～3 の何れかの項記載の半導体記憶装置。

【請求項 5】 前記ワード線の各々は、前記メモリセルに接続された複数のサブワード線と該複数のサブワード線を共通に制御する 1 本のメインワード線で構成された階層化ワード線構造になっていることを特徴とする請求項 1～4 の何れかの項記載の半導体記憶装置。

【請求項 6】 複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従って、前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、

前記行アドレスをデコードして行選択信号を生成する行デコード手段と、

前記列アドレスをプリデコードして列プリデコード信号を生成する列プリデコード手段と、

前記メモリセルをセンスするセンスアンプが配置された前記メモリブロック内

の領域に設けられ、前記列プリデコード信号に基づいて前記列アドレスのメインデコードを行って前記列アドレスで指定されるメモリブロック上の列を選択する列選択手段と

を具備することを特徴とする半導体記憶装置。

【請求項 7】 前記列プリデコード信号を前記センスアンプが設けられた前記領域へバンク毎に供給したことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 複数のメモリバンクを集めたメモリブロックを複数備えた半導体記憶装置において、

前記メモリブロック内に配置されているメモリセル上に、複数の金属配線層の間を接続するための接続手段を設けたことを特徴とする半導体記憶装置。

【請求項 9】 前記接続手段はスルーホールであることを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 1 0】 複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従い、入出力信号線を通じて前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、

前記行アドレスをデコードして行選択信号を生成する行デコード手段と、

前記列アドレスをデコードして列選択信号を生成する列デコード手段とを具備し、

前記列選択信号が出力される列選択信号線及び前記入出力信号線が互いに直交するように、該列選択信号線及び前記入出力信号線を配置したことを特徴とする半導体記憶装置。

【請求項 1 1】 複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従って、前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、

前記行アドレスをデコードして行選択信号を生成する行デコード手段と、

前記列アドレスをプリデコードして 2 系統の列プリデコード信号を生成する列プリデコード手段と、

前記メモリセルをセンスするセンスアンプが配置された前記メモリブロック内

の領域に設けられ、前記列プリデコード信号に基づいて前記列アドレスのメインデコードを行って前記列アドレスで指定されるメモリブロック上の列を選択する列選択手段とを具備し、

前記センスアンプが配置された前記領域を挟むように、前記 2 系統の列プリデコード信号が出力される信号線をそれぞれ配置したことを特徴とする半導体記憶装置。

【請求項 1 2】 前記 2 系統の列プリデコード信号を相互に向き合う方向から前記列選択手段へ供給するようにしたことを特徴とする請求項 1 1 記載の半導体記憶装置。

【請求項 1 3】 複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従って、前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、

前記行アドレスをデコードして行選択信号を生成する行デコード手段と、

前記列アドレスを前記バンクアドレスとともにプリデコードして列プリデコード信号を生成する列プリデコード手段と、

前記メモリセルをセンスするセンスアンプが配置された前記メモリブロック内の領域に設けられ、前記列プリデコード信号に基づいて前記列アドレスのメインデコードを行って前記列アドレスで指定されるメモリブロック上の列を選択する列選択手段と

を具備することを特徴とする半導体記憶装置。

# 【発明の詳細な説明】

## 【0 0 0 1】

### 【発明の属する技術分野】

本発明は、独立の記憶単位であるメモリバンクが複数個設けられた半導体記憶装置に関し、特に、これらのメモリバンクが一塊になって構成されたメモリブロックを複数備えた半導体記憶装置に関するものである。

## 【0 0 0 2】

### 【従来技術】

図 1 2 は従来技術による半導体記憶装置の概略構成を示したものであって、

以下では便宜上256M（メガ）ビットの記憶容量を持ったDRAM（Dynamic Random Access Memory）を想定して説明を行う。この半導体記憶装置は図中に符号Ba0～Ba31で示した32個のバンクから構成されており、SDRAM（シンクロナスDRAM）などが通常4バンク程度で構成されているのに比べて多数のバンクから構成されている。このように全体を複数のバンクに分割しているのは次のような理由による。すなわち、DRAMなどでは内部のメモリセルが充放電によって記憶動作を行っているため、半導体記憶装置の内部では自身に接続されているバスの転送速度ほどは高速に動作することができない。こうしたことから、半導体記憶装置内部のメモリセルアレイを複数のバンクに分割し、それらを並列動作させることで、半導体記憶装置の外部から見たときにこの半導体記憶装置がバスと同程度の速度で高速動作をしているように見せかけている。

## 【0003】

各バンクは論理的に独立したメモリと考えて良く、上述したように、これら複数のバンクを順次動作させながら各メモリセルとの間でデータをシリアルに入出力することで、全体としての高速動作を実現している。図12に示した半導体記憶装置においても一般的なDRAMと同様に個々のメモリセルが2次元配置されている。そして、多数あるメモリセルアレイの何れか一つを特定するために、半導体記憶装置に与えられるアドレス信号には、バンクを指定するためのバンクアドレス、X方向の行を指定するための行（ロウ）アドレス、Y方向の列を指定するための列（カラム）アドレスが含まれる。これによって、アドレス信号の上位部分に割り当てられているバンクアドレスで特定のバンクを指定するとともに、行アドレス及び列アドレスを用いて、当該指定されたバンク内の特定のメモリセルを指定して当該メモリセルにアクセスするようになっている。

## 【0004】

図12についてさらに説明すると、図示した半導体記憶装置は全体として32個のバンクを持つ4個のブロックを有しており、例えば図中の符号1-1及び符号1-2で1つのブロックが構成される。これらの各々は32Mビット（＝256Mビット／8）のメモリセルが集積された領域であって、本明細書においてはこの領域を「メモリセルアレイブロック」と呼ぶことにする。そして、メモリセルア



レイブロック 1-1と 1-2, 1-3と 1-4, 1-5と 1-6, 1-7と 1-8がそれぞれ組になっており、各組に 32 個のバンク Ba 0 ~ Ba 31 が設けられる。

#### 【0005】

また、各メモリセルアレイブロックは「 $\times 4$ ビット」構成となっており、例えば特定のアドレスを読み出すことで 32 ビット分のデータが 32 対の I/O 線から出力される。同図において、各メモリセルアレイブロックから「4 I/O」の矢印が 8 本（即ち、「 $4 \text{ I/O} \times 8$ 」）出ているのはこのことを示している。こうしたことから、例えばメモリセルアレイブロック 1-1, 1-2 の内の 1 つのバンクからデータの読み出しを行う場合には、合計 32 ビット分のデータが同時に出力されることになる。そして、この 32 ビットのデータに対してパラレル-シリアル変換処理を行い、このメモリセルアレイブロック 1-1, 1-2 からのデータをメモリセルアレイブロック 1-5, 1-6 からの 32 ビットのデータと合わせて、8 DQ  $\times$  8 サイクルのデータとして、回路ブロック 6（後述）を介してデバイス外部へ出力する。同じようにして、メモリセルアレイブロック 1-3, 1-4 とメモリセルアレイブロック 1-7, 1-8 でも同様な処理が行われる。

#### 【0006】

上述した 4 組のメモリセルアレイブロックの間には、回路ブロック 2-1 ~ 2-4 が設けられている。これら各回路ブロックには、メモリセルアレイから図示しないセンスアンプ等を介して読み出されたデータを増幅するためのデータアンプ（図中の「DA」）、メモリセルアレイにデータを書き込む際に使用される書き込みアンプ（図中の「WA」）、各メモリセルアレイブロックについて列アドレスをデコードするための列デコーダ等が設けられている。また、符号 3-1 ~ 3-8 は各メモリセルアレイブロックに 1 対 1 に設けられた行デコーダ（図中の「RowDec.」）であって、アドレス信号中の行アドレスをデコードして得られるデコード信号を出力する。さらに、回路ブロック 4-1, 4-2 は後述する回路ブロック 5 ~ 7 を挟んで上下に配置されており、上述した行デコーダによるデコードに先だって行アドレスをプリデコードするための行プリデコード回路（図中の「Row pre dec.」）、故障したメモリセルアレイを行方向に救済するためのリダンダンシ処理を行う回路（図中の「Row red.」）等が設けられている。

## 【0007】

このほか、回路ブロック 5 にはワード線を駆動する場合などに使用される昇圧回路（図中の「Vboot」）、リダンダンシ処理に用いられるヒューズ（図中の「Fuse」）、内部降圧用の基準電位を発生させるための回路（図中の「Vref」）等が設けられている。また、回路ブロック 6 には、入出力インタフェース回路（図中の「I/F」）、半導体記憶装置間に存在するクロックのスキューを調整するために使用される回路（図中の「DLL: Delayed Lock Loop」）、周知の入出力パッド（図中の「Bonding Pad」）等が設けられている。さらに、回路ブロック 7 には上述した「Vboot」、「Fuse」のほか、基板電位を発生させるための回路（図中の BBG: Back Bias Generator）等が設けられている。

## 【0008】

次に、図 13 は図 12 に示したメモリセルアレイブロック 1-1 に関わる回路を拡大して示したものである。一般に SDRAM 等では行デコーダ、列デコーダ、センスアンプ等がバンク毎に独立した構成となっている。これに対して、図 12 ないし図 13 に示した半導体記憶装置では、各バンクについて列デコーダを設けるのではなく、16 個のバンク（即ち、図 12 に示した Ba0～Ba15 または Ba16～Ba31）に対してそれぞれ列デコーダを備えるようにしている。また、図 13 に示す通り、各バンクの間にはメモリセルアレイからデータを読み出すためのセンスアンプ（以下「S/A」と略記する場合がある）等が配置されたセンスアンプ領域 10 が設けられている。

## 【0009】

そして、バンク Bank0～Bank15 には、行デコーダ 11 の近傍に設けられた図示しないバンク選択論理回路が生成するカラムバンク選択信号 CBS0～CBS15 がバンク毎に供給され、これらカラムバンク選択信号を個別に有効化することでこの選択信号に対応したバンクがそれぞれ活性化される。ちなみに、このバンク選択論理回路は図 12 に示した回路ブロック 4-1、4-2 内に設けられている。いま例えばバンク Bank1 が活性化状態にあるとすれば、このバンク 1 の両脇に設けられたセンスアンプ領域 10 内でカラムバンク選択信号 CBS1 を用いたバンク選択が行われる。なお、これらのカラムバンク選択信号 CBS

0～CBS15は、上述したアドレス信号に含まれるバンクアドレスをデコードすることで得られる。なお、後述する通り、実際には各カラムバンク選択信号が反転、非反転の2本の信号線から構成されているが、図13では簡単のため1本の信号線で示している。

#### 【0010】

次に、行デコーダ11は上述したアドレス信号に含まれる行アドレスをデコードすることで、図中の破線で示される複数のワード線WLのうちの何れか1本が選択される。また、列デコーダ12は上述したアドレス信号に含まれる列アドレスの全てのビット（後述する本発明の実施形態に沿って言うと“7”ビット）をデコードすることで、図中の太線で示される複数のカラム選択信号YSWのうちの1本を各信号に対応した図示しないカラムスイッチで選択する。こうして、指定されたアドレス信号に含まれるバンクアドレス、行アドレスおよび列アドレスから唯一のメモリセルが選択されることになる。

#### 【0011】

なお、メモリセルアレイブロック1-2もメモリセルアレイブロック1-1と同様の構成であって、バンクの構成がバンクBank0～Bank15でなくバンクBank16～Bank31であることと、列デコーダ12を境界とした鏡面配置になっていることが図13のものと違うだけである。また、上述した説明ではバンクBank1だけが活性化されるものとしたが、実際には複数のバンクを活性化してゆきながら、ある一定時間間隔で次々とバンクを選択してゆくこともできる。例えば、まずバンクBank0を活性化状態にして、指定されたアドレス信号中の行アドレス及び列アドレスに従って当該バンク内のメモリセルを随時選択してデータの入出力を行い、予め決められている時間をおいて、バンクBank0を活性化状態としたまま同時にバンクBank2をさらに活性化状態として当該バンク内のメモリセルを選択することができる。

#### 【0012】

次に、図14は図13に示すセンスアンプ領域10に配置されたカラム選択回路の構成を示す回路図である。図中、符号15～18は何れもNチャネルのトランジスタ（以下「TR」と略記する場合がある）、符号CBSは上述したカラム

バンク選択信号、符号CBSBはカラムバンク選択信号CBSの反転信号、符号YSWは図13において太線で示したカラム選択信号、符号GNDは接地電位、符号Dは図示しないセンスアンプに接続されたデジット線、符号DBはデジット線D上に載る信号の反転信号が伝送される信号線、符号I/OT及びI/ONは図12に示した回路ブロック6中のI/F制御回路に接続されるI/O線及びその反転信号がそれぞれ載せられる信号線である。

#### 【0013】

図14に示した回路構成によれば、当該バンクが非活性状態であってカラムバンク選択信号CBS、CBSBがそれぞれ“L”（ロー）レベル、“H”（ハイ）レベルにあると、TR15がオン、TR16がオフとなるため、TR17、TR18のゲートが何れも“L”レベルとなって、デジット線D、DBと信号線I/OT、I/ONが互いに接続されることはない。一方、当該バンクが活性状態であってカラムバンク選択信号CBS、CBSBがそれぞれ“H”レベル、“L”レベルにあると、TR15がオフ、TR16がオンとなって、カラム選択信号YSWの電位がTR17、TR18の両ゲートに供給される。このとき、当該カラム選択回路に対応する列が選択されていれば、カラム選択信号YSWが“H”レベルとなってTR17、TR18が何れもオンとなる。その結果、デジット線D、DBと信号線I/OT、I/ONがそれぞれ接続されて、デジット線D、DBに載せられたビット線の電位がI/O線を伝わって半導体記憶装置の外部に出力される。

#### 【0014】

##### 【発明が解決しようとする課題】

以上説明したように、従来の半導体記憶装置では、列デコーダ12が16個のバンクに対して共用されるような配置を採用している。また、カラム選択信号YSWもメモリセルプレート上でこれら複数のバンクにまたがっており、これら複数のバンクに共通に使用される配置である。このため、カラム選択信号YSWで特定の列を選択しただけでは、行デコーダ11によって選択されたワード線WLが16個のバンク全てにおいて活性化される。そこで、カラムバンク選択信号CBS0～CBS15の何れかを有効化することによって、16個のバンクのうち

の何れのバンクについてデータの入出力を行えば良いのかをさらに選択してやることになる。このため、従来の半導体記憶装置では各センスアンプ領域 10 内にカラムバンク選択信号を配線するようにしている。しかしながら、こうした配置にしていると、センスアンプ領域の面積が増えてしまい、ひいてはチップ全体の面積が増大してしまうことになる。

## 【0015】

また、図 14 に示したような従来のカラム選択回路の構成には次のような問題がある。すなわち、同図の回路では、カラムバンク選択信号 C B S が “H” レベルになったときの信号レベルを半導体記憶装置内部で作られる電源電圧 V c c (図示省略) よりも高くしておく必要があるという制約がある。もしそうしないと、T R 16 による電圧降下のために、カラム選択信号 Y S W が電源電圧 V c c のレベルになったときに T R 17, T R 18 のゲートへ伝達されない恐れが生じる。こうした問題を防止するために、従来の半導体記憶装置では、カラムバンク選択信号 C B S, C B S B が電源電圧 V c c よりも高いレベルとなるように設定しており、そのための電圧源として上述した昇圧回路 (図 12 の「Vboot」を参照) を使用している。しかしながら、本来であればワード線を昇圧するためにのみ使用すれば良いはずの昇圧回路 Vboot をこれとは別の用途に使用することは、消費電力が増大してしまうことや昇圧回路の持つ能力に限界があるなどの点を考慮すると色々問題が多い。

## 【0016】

このほか、従来の半導体記憶装置では、カラム選択信号 Y S W と I / O 線の引き回し方に起因して次のような問題が生じる。図 15 はこの問題点を図解したものであって、図 13 と同様に図 12 に示したメモリセルアレイブロック 1-1 の近傍を拡大して示してある。同図において、データアンプ 19 (図中の「DAMP」) は図 12 に関連して説明したものであって、図示しないセンスアンプから I / O 線 (図 14 に示した信号線 I / O T 及び I / O N) 上に読み出されたデータの信号レベルを増幅するためのものである。図示したように、従来の半導体記憶装置では、カラム選択信号 Y S W と I / O 線が互いに平行して配置されており、列デコーダ 12 の所からメモリセルアレイブロックの左端 (バンク B a n k 0)

までの長い距離（実際には4～5ミリ程度）にわたって同層のメタル配線が並走する配置になっている。このため、これら両信号線の間における配線のカップリング（図中、同一配線層と記した部分の「C」で示す容量）に起因するクロストークの影響が無視できなくなってくる。

## 【0017】

この点について以下に詳しく説明する。いま、あるメモリセルに接続されているワード線WLが活性化されるとともに、当該メモリセルの保持データをセンスするためのセンスアンプが活性化されており、当該保持データがこのセンスアンプで増幅されてデジット線D、DB（図14を参照）上に出力されているものとする。この後に、当該メモリセルに対応する列が選択されてカラム選択信号YSWが“L”レベルから“H”レベルに変化する。このとき同時に、図14に示したカラム選択回路の働きでデジット線D、DBがI/O線（信号線I/OT、I/ON）に接続され、デジット線D、DB上のデータがI/O線に伝達されてこのI/O線上の信号レベルが変化する。すると、図15に示したデータアンプ19がI/O線を構成する信号線I/OT、I/ONの差電位を受けてこれをさらに増幅することになる。

## 【0018】

ところで、I/O線はメモリセルアレイブロックの一端（図15に示したバンクBank 0側）から他端の先にあるデータアンプ19まで長い距離にわたって引き回されるため、その配線長は長くなおかつその負荷容量も重い。このため、データアンプ19に入力されるI/O線の信号レベルは非常に微小であって、その読み出し期間も短い。その一方で、カラム選択信号YSWの振幅はI/O線上に載せられるデータの振幅に比べて大きい。こうしたことから、I/O線上におけるデータ信号の立ち上がり部分でカラム選択信号YSWが変化すると、このカラム選択信号YSWによるクロストークの影響をI/O線が直接に受けてしまう。つまり、信号線I/ON、I/OTがうまくバランスした状態であったにも拘わらず、クロストークの影響でこれら信号線が変化してしまうことになる。このため、データアンプ19に対するデータの出力に遅れが生じてしまうほか、場合によってはこの遅延によってデータアンプ13が誤ったデータを読み取ってしまう

う恐れもある。こうした問題が生じないようにするには、カラム選択信号 YSW と I/O 線との間のカップリングによるクロストークを極力回避する必要がある。そのために、カラム選択信号 YSW や I/O 線の抵抗成分を減らすことも考えられるが、その分、配線が太くなって配線間隔が狭くなってしまって、配線間隔を予め決められたピッチに収めることができなくなる。したがってこうした対応策は現実的とは言えない。

## 【0019】

また、図 15 に示した従来の配置構成では、I/O 線が列デコーダ 12 を通過してからデータアンプ 19 に接続されるため、この通過部分近傍についてマスクを作製する際のレイアウト設計が難しくなる。また、レイアウトによっては I/O 線を列デコーダ 12 の部分に通せないこともある。したがって、そうした場合には I/O 線を迂回させなければならず、その分、配線に要する幅や面積をとってしまうことになる。しかも、上述したようにメモリセルアレイブロックからは I/O 線が 4 ペア = 8 本引き出されるために、以上のような問題がいっそう顕著となる。このように、従来の配置構成ではレイアウト的な観点から大きなデメリットがあると言える。

## 【0020】

以上のような問題以外にも、従来の半導体記憶装置には以下に述べるような問題がある。図 16 はこの問題点を図解したものであって、同図に破線で示したワード線 WL は図 13 に示したものと同一であり、また、センスアンプ活性化信号 SAA は図示を省略したセンスアンプに対して、センス動作を開始させる指示を行うための信号線である。ここで、センスアンプ活性化信号 SAA とカラム選択信号 YSW の間には以下のようなタイミング上の制約がある。すなわち、ワード線 WL を活性化させるとともにセンスアンプ活性化信号 SAA でセンスアンプを活性化させた場合において、デジット線 D、DB（図 14 を参照）上に出力されるデータの信号電位があまり変化していないにも拘わらず、センスの結果を得るためにカラム選択信号 YSW を有効にしてしまうと、デジット線 D、DB 上の信号電位が反転してしまうなどの不都合が生じる場合がある。こうしたことから、メモリセルからのセンスが十分行われた状態でカラム選択信号 YSW が有効化さ

れるように、センスアンプ活性化信号 S A A とカラム選択信号 Y S W との間のタイミングを調整しなければならない。

## 【 0 0 2 1 】

図 1 6 に示した通り、従来の半導体記憶装置では破線で示したワード線 W L 及びセンスアンプ活性化信号 S A A が同方向（即ち、図中の垂直方向）へ互いに平行に配線されている。このため、配線遅延の関係上、行デコーダ 1 1 から見たときにワード線の駆動信号およびセンスアンプ活性化信号 S A A が最も遅く伝達されるのは、例えば、図中の「ワード線遠端センス系信号遠端」で示した楕円部分の領域 A 1 6 となる。一方、これら両信号が最も早く伝達されるのは、例えば、図中の「ワード線近端センス系信号近端」で示した楕円部分の領域 B 1 6 となる。また、列デコーダ 1 2 から見たときにカラム選択信号 Y S W が最も遅く伝達されるのは図中の「Y S W 遠端」で示した領域 B 1 6 となり、同信号が最も早く伝達されるのは図中の「Y S W 近端」で示した領域 A 1 6 となる。

## 【 0 0 2 2 】

つまり、領域 A 1 6 ではセンスアンプ活性化信号 S A A の到達が最も遅く、かつ、カラム選択信号 Y S W が最も早く到達し、センスアンプ活性化信号 S A A の活性化からカラム選択信号 Y S W の活性化までの時間が最短となる。したがって、センスアンプ活性化信号 S A A を有効にしてからカラム選択信号 Y S W を有効にするまでの時間マージンは、この領域 A 1 6 を基準にして設計する必要がある。これに反して、領域 B 1 6 ではセンスアンプ活性化信号 S A A の到達が最も早く、かつ、カラム選択信号 Y S W が最も遅く到達する。したがって、いま述べたように領域 A 1 6 を基準に時間マージン設計をしてしまうと、領域 B 1 6 ではセンスが十分早く完了しているのにも拘わらずカラム選択信号 Y S W がなかなか有効にならず無駄な待ち時間が生じるという問題がある。

## 【 0 0 2 3 】

このように、従来の配置構成では、メモリセルのセンス開始からカラム選択までの時間がメモリセルアレイブロック上の位置によってまちまちであるため、必要以上に余分な時間マージンを取らねばならず、半導体記憶装置を高速動作させる上での大きなネックとなる。なお、ワード線を駆動するためのドライバ等を駆



動能力の大きなものにして抵抗を小さくすれば、こうした遠端・近端の差に起因する問題を軽減することは可能ではある。しかしながら、そうすると駆動能力を高めた分だけドライバの面積が余分に必要となり、チップサイズが大きくなってしまふといった弊害が生じてきてしまふ。

## 【 0 0 2 4 】

本発明は上述した様々な問題点に鑑みてなされたものであり、その目的は、多数のメモリバンクが一塊になったメモリブロックを複数有する半導体記憶装置を実現するにあたって、誤作動のない高速動作を可能としつつ、できる限り構成を簡易なものとし、なおかつ、消費電流を小さくすることにある。

## 【 0 0 2 5 】

## 【課題を解決するための手段】

以上の課題を解決するために、請求項 1 記載の発明は、複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従って、前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、前記行アドレスをデコードして行選択信号を生成する行デコード手段と、該行デコード手段に隣接して配置され、前記列アドレスをデコードして列選択信号を生成する列デコード手段とを具備し、前記行選択信号で駆動されるワード線と前記列選択信号が出力される列選択信号線を平行に配線して前記メモリブロックへ供給することで前記メモリセルにアクセスすることを特徴としている。

また、請求項 2 記載の発明は、請求項 1 記載の発明において、隣接する前記ワード線の間前記列選択信号線を配線したことを特徴としている。

また、請求項 3 記載の発明は、請求項 1 又は 2 記載の発明において、前記ワード線及び前記列選択信号線を同一方向から前記メモリブロックへ供給することを特徴としている。

また、請求項 4 記載の発明は、請求項 1 ～ 3 の何れかの項記載の発明において、前記ワード線及び前記列選択信号線を同一の配線層で配線したことを特徴としている。

## 【 0 0 2 6 】

また、請求項 5 記載の発明は、請求項 1 ～ 4 の何れかの項記載の発明において、前記ワード線の各々は、前記メモリセルに接続された複数のサブワード線と該複数のサブワード線を共通に制御する 1 本のメインワード線で構成された階層化ワード線構造になっていることを特徴としている。

また、請求項 6 記載の発明は、複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従って、前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、前記行アドレスをデコードして行選択信号を生成する行デコード手段と、前記列アドレスをプリデコードして列プリデコード信号を生成する列プリデコード手段と、前記メモリセルをセンスするセンスアンプが配置された前記メモリブロック内の領域に設けられ、前記列プリデコード信号に基づいて前記列アドレスのメインデコードを行って前記列アドレスで指定されるメモリブロック上の列を選択する列選択手段とを具備することを特徴としている。

また、請求項 7 記載の発明は、請求項 6 記載の発明において、前記列プリデコード信号を前記センスアンプが設けられた前記領域へバンク毎に供給したことを特徴としている。

また、請求項 8 記載の発明は、複数のメモリバンクを集めたメモリブロックを複数備えた半導体記憶装置において、前記メモリブロック内に配置されているメモリセル上に、複数の金属配線層の間を接続するための接続手段を設けたことを特徴としている。

#### 【 0 0 2 7 】

また、請求項 9 記載の発明は、請求項 8 記載の発明において、前記接続手段はスルーホールであることを特徴としている。

また、請求項 1 0 記載の発明は、複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従い、入出力信号線を通じて前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、前記行アドレスをデコードして行選択信号を生成する行デコード手段と、前記列アドレスをデコードして列選択信号を生成する列デコード手段とを具備し、前記列選択信号が出力される列選択信号線及び前記入出力信

号線が互いに直交するように、該列選択信号線及び前記入出力信号線を配置したことを特徴としている。

また、請求項 1 1 記載の発明は、複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従って、前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、前記行アドレスをデコードして行選択信号を生成する行デコード手段と、前記列アドレスをプリデコードして、前記列アドレスのビット位置に応じた 2 系統の列プリデコード信号を生成する列プリデコード手段と、前記メモリセルをセンスするセンスアンプが配置された前記メモリブロック内の領域に設けられ、前記列プリデコード信号に基づいて前記列アドレスのメインデコードを行って前記列アドレスで指定されるメモリブロック上の列を選択する列選択手段とを具備し、前記センスアンプが配置された前記領域を挟むように、前記 2 系統の列プリデコード信号が出力される信号線をそれぞれ配置したことを特徴としている。

#### 【 0 0 2 8 】

また、請求項 1 2 記載の発明は、請求項 1 1 記載の発明において、前記 2 系統の列プリデコード信号を相互に向き合う方向から前記列選択手段へ供給するようにしたことを特徴としている。

また、請求項 1 3 記載の発明は、複数のメモリバンクを集めたメモリブロックを複数備え、入力されたバンクアドレス、行アドレス及び列アドレスに従って、前記メモリブロック中の特定のメモリセルにアクセスする半導体記憶装置において、前記行アドレスをデコードして行選択信号を生成する行デコード手段と、前記列アドレスを前記バンクアドレスとともにプリデコードして列プリデコード信号を生成する列プリデコード手段と、前記メモリセルをセンスするセンスアンプが配置された前記メモリブロック内の領域に設けられ、前記列プリデコード信号に基づいて前記列アドレスのメインデコードを行って前記列アドレスで指定されるメモリブロック上の列を選択する列選択手段とを具備することを特徴としている。

#### 【 0 0 2 9 】

#### 【発明の実施の形態】

以下、図面を参照して本発明の一実施形態について説明する。図 1 は、本実施形態による半導体記憶装置の概略構成を示すブロック図であって、図 1 2 に示したものと同一構成要素については同一の符号を付してある。本実施形態の半導体記憶装置が従来のものと大きく異なる点は、従来では例えばメモリセルアレイブロック 1-1, 1-2 の間に配置された回路ブロック 2-1 の中に列デコーダを配置していたのに対し、本実施形態では列デコーダを行デコーダの近傍とメモリセルアレイブロック内とに分割配置していることにある。すなわち本実施形態では、チップの中央部分に位置する回路ブロック 2 4-1, 2 4-2 の中に、列アドレスのプリデコードを行う回路（図中の「Col pre dec.」）を設けるとともに、プリデコードされた列アドレスに基づいて最終的な列デコードを行う回路をメモリセルブロック内にあるカラム選択回路部分に配置している。なお、こうした点を除けば、本実施形態におけるメモリセルアレイブロック 2 1-1 ~ 2 1-8, 回路ブロック 2 2-1 ~ 2 2-4, 回路ブロック 2 4-1 ~ 2 4-2 は、従来技術におけるメモリセルアレイブロック 1-1 ~ 1-8, 回路ブロック 2-1 ~ 2-4, 回路ブロック 4-1 ~ 4-2 と同等の機能を有している。

## 【0030】

以下、本実施形態による半導体記憶装置の特徴についてさらに詳しく説明する。図 2 は、図 1 の領域 A 1 部分を拡大して図示したものであって、図 1 に示したメモリセルアレイブロック 2 1-1 を構成している一区画分に対応するものである。つまり、図 2 を左右方向について見た場合にはちょうど 1 バンク分に相当する。上述したように、各メモリセルアレイブロックは 3 2 M ビットの容量を持っていることと、図 1 に示したように各メモリセルアレイブロックは  $16 \times 8 = 128$  個の区画を有することから分かるように、図 2 に示したメモリセルアレイ 3 0 は  $32 \text{ M ビット} / 128 = 256 \text{ k (キロ) ビット}$  の容量を持つことになる。

## 【0031】

次に、同図の符号 3 1 は従来技術で説明したものと同一構成を有する行デコーダ（図中の「Row Dec.」）であって、これら行デコーダ 3 1 が 16 バンク分だけ集められて例えば図 1 に示した行デコーダ 3-1 を構成している。この行デコーダ 3 1 からは、上方向に向かって互いに平行に延びる複数本のメインワード線 MW

L（図中、破線で示す）が出力される。図示の内容から明らかなように、これらメインワード線MWLはいずれもメモリセルアレイ30の領域を走るように配置されている。

#### 【0032】

ここで、従来技術の説明では特に触れなかったが、最近のDRAMでは、ワード線上の遅延を低減させるために、ワード線構造としていわゆる「階層化分割ワードドライバ方式」を用いたものが多く、本実施形態の半導体記憶装置でも同様のワード線構造を採用している。この方式は、ワード線を多分割にしてそれらをサブワード線とし、1組の行デコーダとワードドライバをこれらサブワード線で共有するものである。また、行方向に並ぶこれらサブワード線はメインワード線MWLによって共通に制御されることになる。本実施形態では、メインワード線1本に対してサブワード線が8本ぶら下がる構造にしてある。ちなみに、図2では煩雑になるためサブワード線を敢えて示していない。

#### 【0033】

通常、メインワード線MWLは1層目の金属配線層（アルミ等の第1メタル）に配線され、サブワード線はポリシリコンといった比較的高抵抗の配線材を用いた配線層に設けられる。サブワード線の配線ピッチはメモリセルのサイズに対応するように1ミクロンを下回るような狭い配線ピッチになっているため、それらの間にアルミ配線等を走らせることは事実上不可能である。これに対し、メインワード線MWLの配線ピッチはサブワード線の配線ピッチの8倍になっており、サブワード線の配線ピッチに比べて緩やかなものとなっている。このように、ワード線を階層構造化することでメインワード線MWL間に隙間ができるので、その隙間を利用することで、メインワード線MWLと同層（即ち、第1メタル）の配線材を用いた配線が可能となる。

#### 【0034】

そこで本実施形態では、メインワード線MWL間の隙間を利用して、列デコーダ33（図中の「Col Dec.」）が生成させるカラム選択信号YSWをメインワード線MWLに対して平行に配置している。なお、図2に示されている列デコーダ33は、図1に示した回路ブロック24-1、24-2のうち、バンク選択論理と

列アドレスのプリデコード論理が含まれたものである。また、これらカラム選択信号 Y S W はセンスアンプが配置されたセンスアンプ領域 3 5（図中の「S a m p」）にも供給されることから、2 層目の金属配線層（第 2 メタル）を使用してメインワード線 M W L と直交した配線を形成してカラム選択信号 Y S W をセンスアンプ領域 3 5 に走らせている。そして、第 1 メタルを使用した配線と第 2 メタルを使用した配線を接続するために、メモリセル 3 0 上でコンタクト 3 4 を取るような構造としている。このように本実施形態では、第 1 メタルの配線層を垂直方向に走るカラム選択信号がコンタクト 3 4 を介して第 2 メタルの配線層に切り替わり、今度はセンスアンプ領域 3 5 に向かって配線が水平方向に走るような構造となっている。ちなみに本実施形態では、図 2 に示したように、2 本のメインワード線 M W L に対して 1 本の割合でカラム選択信号 Y S W を走らせることができる。

## 【 0 0 3 5 】

このほか、図 2 に示したセンスアンプ領域 3 5 には図示しないカラム選択回路も併せて配置されており、後述するように実際はこのカラム選択回路に対してカラム選択信号 Y S W が接続されていて、図中を水平方向に走っている I / O 線とセンスアンプとの間の接続を制御している。また、符号 3 6 はサブワード線を駆動するサブワードドライバ（図中の「S W D」）であり、符号 3 7 はサブワードドライバ 3 6 を制御するためのサブワードドライバ制御回路（図中の「S W C」）である。これらの回路は階層化分割ワードドライバ方式を採用した D R A M で用いられているものと同様の構成であるため、本発明のポイントには直接関係しないこともあって、ここではその詳細について特に説明することはしない。

## 【 0 0 3 6 】

次に、図 3 はメモリセル近傍における概略構造を示したものであって、図 2 で説明したコンタクト 3 4 がちょうどメモリセル上に設けられた部分について図示したものである。まず、同図（a）にはメモリセル近傍の論理的な接続関係を示してある。すなわち、図示しないセンスアンプに接続されたビット線 B L が垂直方向に走るとともに、これと直交するようにセルトランジスタ 4 0 のゲートに接続されたサブワード線 S W L が走っている。また、符号 4 1 はその一端がセルト

ランジスタ40に接続され、各セルの電荷を蓄積するためのセル容量である。さらに、セル対極42はセル容量31の他端に接続された電極である。なお、サブワード線SWLには例えばポリシリコンが用いられ、また、ビット線BLには例えば窒化チタン(TiN)が用いられ、セル容量41は例えばスタックポリが用いられる。

## 【0037】

次に、同図(b)はメモリセル近傍の断面図を示したものであって、サブワード線SWLはセルトランジスタ40のゲート電極に接続されるため、セルトランジスタ40が形成される一番下層のところに配置される。セルトランジスタ40の上には下部電極50を介してセル容量41が形成され、上部電極51を介してセル対極42に接続される。また、この上部電極51の上にはビット線BLの走る配線層が形成され、このビット線BLはコンタクト52を介してセルトランジスタ40に接続されている。このほか、ビット線BLが設けられる配線層の上には第1アルミ(図中の「1A1」)が設けられ、さらにその上には第2アルミ(図中の「2A1」)が設けられている。上述したように、第1アルミ上にはワード線WL及びカラム選択信号をプリデコードした信号が走る。また、第1アルミ上を走るカラム選択信号はスルーホール53を介して第2アルミに配線され、図示しないカラム選択回路に向かって第1アルミ上のカラム選択信号と直交する方向に配線される。

## 【0038】

図3(b)に示した断面図における従来と本実施形態との差異はスルーホール53の有無にあり、本実施形態では図示したようにこのスルーホール53で第1アルミと第2アルミの間を接続したことを特徴としている。こうした構造にしても、メモリセル上ではCMP(化学機械研磨)等で平坦にした状態から配線層を形成してゆくためそれほど凹凸がないため、下地の制限を受けることなく製造も容易である。ちなみに、従来においてもメモリセル内には多数のコンタクトがあるが、スルーホールを用いて金属配線層同士を接続するといった構造はとられておらず、本実施形態のように配線層の複雑なメモリセルアレイ上でスルーホール等のコンタクトを用いて配線している例は見受けられない。これは、従来、メモ

リセル上にはメインワード線MWLとカラム選択信号が配線されていたため、それらが互いに交わることがなく、第1アルミと第2アルミをメモリセル上で接続する必要性がなかったためである。

## 【0039】

次に、図4はカラム選択信号Y SWの配線をさらに詳しく示したものであって、同図ではバンクBank 1を中心としてこれに隣接するバンクBank 0及びバンクBank 2について図示してある。本実施形態では、アドレス信号に含まれる列アドレスがY 6～Y 0の7ビットで構成されていることを想定している。このうち、列アドレスY 0が下位ビット (Lower Bit) 側であり、列アドレスY 6が上位ビット (Upper Bit) 側である。なお、列アドレスのビット数に特に制限があるわけで無いことは言うまでもない。

## 【0040】

図4において黒丸で示されるものがカラム選択回路であって、それぞれが図示しないセンスアンプに接続されている。なお、これらカラム選択回路は何れも同一の構成をしておりその詳細については後述する。図4では2個ないし3個のカラム選択回路をまとめて図示しており、これらの各々がカラム選択回路群を表している。それぞれのカラム選択回路群はいずれも64台のカラム選択回路で構成されており、64台となっている理由は、列アドレスのビット数に対応する $2^7 = 128$ 台のカラム選択回路を2つのグループに分割しているためである。もっとも、これら64台のカラム選択回路全てを図示することはできないため、図4では2ないし3個のカラム選択回路だけを示している。

## 【0041】

カラム選択回路は、各メモリセルアレイブロックの左端又は右端にあるものを除き、隣接するバンク間で共有されている。例えば図4において、カラム選択回路群60-0はバンクBank 0専用であるが、カラム選択回路群60-01はバンクBank 0及びBank 1で共用され、カラム選択回路群60-12はバンクBank 1及びBank 2で共用され、カラム選択回路群60-23はバンクBank 2及びバンクBank 3で共用されている。これら以外の図示しないカラム選択回路群も全く同様であるほか、メモリセルアレイブロックの右端に配置されて



いるカラム選択回路群は、カラム選択回路群 6 0-0と同様にバンク B a n k 1 5 専用になっている。以上のことは、バンク 1 6～バンク 3 1についても同様であって、さらには、カラム選択回路群にそれぞれ対応するセンスアンプについても同じことが言える。

#### 【 0 0 4 2 】

次に、図 4 において符号 6 1-0, 6 1-1は何れもグローバルな I / O 線である。従来技術のところでは特に説明しなかったが、I / O 線はグローバルな I / O 線とローカルな I / O 線から構成されている。各メモリセルアレイブロックからはグローバルな I / O 線が水平方向に 4 対（即ち、非反転信号および反転信号の対）走っている。つまり、図 1 に示した I / O はグローバルな I / O 線であって、図 4 ではこれら 4 対のうちの 2 対だけを示してある。そして、これら 2 対の I / O 線に接続された回路の構成は基本的に同じであるため、以下ではグループな I / O 線 6 1-0に関連する回路についてのみ説明してゆく。すなわち、符号 6 2-0, 6 2-01, 6 2-12, 6 2-23 は何れもローカルな I / O 線であって、カラム選択回路群などを通じて各メモリセルとグローバルな I / O 線を接続するための配線である。例えば、メモリセルから出力されるデータは、図示しないセンスアンプを通じてカラム選択回路群 6 0-0からローカルな I / O 線 6 2-0に読み出され、その後にグローバルな I / O 線 6 1-0に転送され、最終的に従来技術で説明したのと同様のデータアンプに取り込まれる。

#### 【 0 0 4 3 】

それぞれのカラム選択回路は以下のように選択される。いま例えばバンク B a n k 1に着目するとともに、バンク B a n k 1だけが活性化される場合を想定する。するとこの場合には、カラム選択回路群 6 0-01 又はカラム選択回路群 6 0-12 に含まれるカラム選択回路が選択される可能性がある。このうち、前者のカラム選択回路群は列アドレス Y 0 = 1 のときに選択される可能性があり、後者のカラム選択回路群は列アドレス Y 0 = 0 のときに選択される可能性がある。もっともここで注意すべき点として、図 4 に示されている Y 6 ~ Y 0 にはバンクの選択論理が既に含まれていることである。例えば、バンク B a n k 1 の所に「Y 0 = 1」と記載されているのは、単に列アドレス Y 0 が“1B”ということではなく

、バンク Bank 1 が選択されていてなお且つ列アドレス  $Y_0 = "1B"$  ということの意味している。ここで、記号 B はバイナリ表示であることを表している。このため、本実施形態では、従来技術（図 13）のようにカラム選択信号とは別にメモリセルアレイ内にバンク選択信号を走らせる必要がなくなり、センスアンプ領域の面積を縮小できるという利点があり、実際に 8% 程度の面積縮減効果が確認されている。なお、以上のことを実現するための具体的な回路構成については後述する。

#### 【0044】

そして、各カラム選択回路群の両側には、バンクの選択および列アドレス  $Y_6 \sim Y_0$  のプリデコードによって得られる 16 本のプリデコード信号が図中の垂直方向を図示しないワード線と平行に走っている。すなわち、その左側には列アドレス  $Y_3 \sim Y_1$  の 3 ビットをデコードして得られる 8 本のプリデコード信号（図中の  $Y_{123}$ ）が配置され、その右側には列アドレス  $Y_6 \sim Y_4$  の 3 ビットをデコードして得られる 8 本のプリデコード（図中の  $Y_{456}$ ）が配置される。これら 8 本 + 8 本 = 16 本のプリデコード信号を利用して前者の 8 本のうちの何れか 1 本と後者の 8 本のうちの何れか 1 本の論理積をとることで、 $8 \times 8 = 64$  個あるカラム選択回路のうちの何れか一つを選択することができる。また、各バンクには「 $Y_0 = 1$ 」, 「 $Y_0 = 0$ 」についてそれぞれプリデコード信号が配置されるため、各バンクに対応する 128 個のカラム選択回路が一意に選択される。なお、全てのプリデコード信号を図示することはできないため、図 4 では 8 本のプリデコード信号のうちの 2 本ないし 3 本のみを示してある。

#### 【0045】

以上のように、列アドレスのプリデコードを列アドレス  $Y_3 \sim Y_1$ ,  $Y_6 \sim Y_4$  の 2 つに分割するとともに、プリデコード信号をカラム選択回路の左右両側に 8 本ずつ分けて配線することには次のような利点がある。すなわち、図 4 に示した配置以外にも、例えば列アドレス  $Y_6 \sim Y_1$  を全てデコードするような配置も理論的には可能である。こうした配置によって、後掲する図 9 に示した N チャネルトランジスタの段数を 2 段から 1 段に減らすことができる。しかしそうすると、カラム選択回路に向けて出力されるプリデコード信号が  $2^6 = 64$  本になって

しまい、メインワード線の配線ピッチの制約からこれらプリデコード信号を配置することは実際には極めて困難である。

#### 【0046】

このほか、プリデコードを3つのグループに分割することも考えられ、それには例えば列アドレスY2～Y1, Y4～Y3, Y6～Y5でそれぞれプリデコードを行うようにすれば良い。こうすることで、プリデコード信号の本数を16本から $4+4+4=12$ 本に減らすことができる。しかしそうした場合、後掲する図9に示したNチャネルトランジスタの段数が2段積みから3段積みになってしまい、2段積みの場合に比べてカラム選択回路の規模が大きくなってしまうことになる。また、デジット線D、DBと信号線I/O<sub>T</sub>, I/O<sub>N</sub>の間のトランジスタの段数を増やすと、トランジスタのオン抵抗の増大に起因してセンスアンプから出力されるデータがデジット線からI/O線に伝達されにくくなる。

#### 【0047】

さらに、プリデコードそのものは図4と同様に2つに分割して行いつつ、16本のプリデコード信号をカラム選択回路の両側でなく左右何れか片側にのみ配置する形態も想定しうる。しかし、16本のプリデコード信号は同じメタル層に配線されることになるため、これらプリデコード信号をオーバーラップさせて配置することはできない。そのため、いま述べた配置構成にすると、図4と比べて左右何れかに配置したプリデコード信号の配線数が2倍となってメタル配線の配線ピッチを考慮するとあまり好ましくない。

#### 【0048】

以上のような各種の配置構成に対して、図4等にしたようにプリデコード信号を引き回すようにすれば、列アドレスY3～Y1を用いて生成されたプリデコード信号と列アドレスY6～Y4を用いて生成されたプリデコード信号を互いに向かい合うようにカラム選択回路へ入力させることが可能となり、配線ピッチの制限がより緩やかなものになる。こうした点を勘案するならば、図4あるいは後掲する図9に示した配置構成とするのが最も好ましいと言える。

#### 【0049】

次に、それぞれのカラム選択回路がどのように選択されるかについて説明する

。いま例えば図 4 のカラム選択回路 6 3 に着目すると、このカラム選択回路 6 3 には 2 本のプリデコード信号 6 4 -1 及び 6 4 -2 が入力される。そしてまた、列アドレス Y 3 ~ Y 1 が何れも “0B” のときにプリデコード信号 6 4 -1 が有効となり、列アドレス Y 6 ~ Y 4 が何れも “0B” のときにプリデコード信号 6 4 -2 が有効になるとする。なお、この場合にはバンク B a n k 1 が選択されており、なおかつ、列アドレス Y 0 が “1B” であることは勿論である。そしてこれら条件によって、カラム選択回路 6 3 は列アドレス Y 6 ~ Y 0 が “000001B” (\$ 0 1) のときに選択されることになる。ここで、記号 \$ は 1 6 進表示であることを表している。

#### 【 0 0 5 0 】

同様にしてカラム選択回路 6 5 に着目すると、このカラム選択回路 6 5 には上述したプリデコード信号 6 4 -1 のほかにプリデコード信号 6 4 -3 が入力される。そしていま、列アドレス Y 6 ~ Y 4 が “100B” のときにプリデコード信号 6 4 -3 が有効になるとすると、カラム選択回路 6 5 は列アドレス Y 6 ~ Y 0 が “100001B” (\$ 4 1) のときに選択されることになる。これら以外のカラム選択回路についても上記同様に Y 1 2 3 のプリデコード信号と Y 4 5 6 のプリデコード信号の組み合わせによって選択される。

なお、上述したように例えばカラム選択回路群 6 0 -01 はバンク B a n k 0 及びバンク B a n k 1 で共用されているため、上述した以外にも、バンク B a n k 0 が活性化されなおかつ列アドレス Y 0 = 1 のときにも、カラム選択回路群 6 0 -01 を構成する何れかのカラム選択回路が選択されることになる。

#### 【 0 0 5 1 】

次に、図 5 ~ 図 8 を参照して、図 4 に示したカラム選択回路群に入力されるプリデコード信号を生成するための回路構成について説明する。図 5 はこの回路構成の概要を示したものであり、図 2 に示した列デコーダ 3 3 内部に設けられており、図 4 に準じてバンク B a 1 を中心としてこれに隣接するバンク B a 0 及びバンク B a 2 に関する回路ブロックを示してある。なお、図 5 ではそれぞれの回路ブロックに入力される全ての信号を図示していないが、それら信号については各回路ブロックの詳細構成を説明する際に随時述べることにする。図中、符号 7 0

-0～70-2はそれぞれバンクBa0～バンクBa2を選択するためのバンク選択回路であって、対応するバンクが選択されたときに“H”レベルの信号を出力する。ここで、これらバンク選択回路のうちのバンク選択回路70-0について、図6を参照しつつその詳細な構成を説明する。

## 【0052】

図6において、符号CB0T～CB3T及び符号CB4Nは32個のバンクの何れかを指定するためのバンク選択信号であって、半導体記憶装置外部から与えられるアドレス信号の上位5ビットから生成される。なお、バンク選択信号CB0Tが下位ビット側でありバンク選択信号CB4Nが上位ビット側である。また、信号名の最後の文字が“T”である場合にはその信号が正論理であることを意味し、“N”である場合にはその信号が負論理であることを意味しており、このことはこれ以後に出現する信号名についても同様である。このほか、図中の符号80～84は何れもインバータ、符号85～86はそれぞれ2入力、3入力のNANDゲート、符号87は2入力のNORゲートである。

## 【0053】

図示した回路構成によれば、バンク選択信号CB0T、CB1Tの双方が“L”レベル（つまりバンク選択信号の0ビット目と1ビット目が何れも“0B”）であるときにだけ、NANDゲート85の出力が“L”レベルとなる。同様に、バンク選択信号CB2T、CB3Tの双方が“L”レベルであり、なおかつ、バンク選択信号CB4Nが“H”レベル（つまりバンク選択信号の4ビット目～2ビット目が“000B”）のときにだけ、NANDゲート86の出力が“L”レベルとなる。そして、バンク選択信号CB0T～CB3T、CB4Nが以上の条件を満たすのはバンクBa0が選択されたときだけであって、そのときにのみ、NORゲート87の出力が“H”レベルとなってインバータ84の出力であるバンク選択信号CB00Nが“L”レベルとなる。

## 【0054】

このほか、バンクBa1～バンクBa31に対応するバンク選択回路も、バンクBa0に準じた回路構成とすれば良い。例えば、図6に括弧付きで示したバンク選択信号CB01Nは、バンクBa1が選択されたときにのみ有効となる信号

であって、同図に示したバンク選択信号CB4Nの代わりにその反転信号であるバンク選択信号CB4T（図示省略）を用いることで生成される。

以上のようにして、図5のバンク選択回路70-0～70-2からはそれぞれバンクBa0～バンクBa2が選択されたときにのみ“L”レベルとなるバンク選択信号CB00N～CB02Nが出力される。

#### 【0055】

次に、同図に示される選択回路71-12は、図4に示したカラム選択回路群60-12を選択するためのものであって詳細な回路構成を図7に示す。この図7において、符号Y0Nは列アドレスY0を反転して得られる信号、符号88～89は何れも2入力のNANDゲート、符号90はインバータである。図示した回路構成によれば、バンク選択信号CB01N又はバンク選択信号CB02Nの少なくとも一方が“L”レベルであれば、NANDゲート88の出力が“H”レベルとなる。この条件に加えて、信号Y0Nが“H”レベルであるときにのみNANDゲート89の出力が“L”レベルとなって、インバータ90の出力である選択信号CBA12が“H”レベルとなる。

#### 【0056】

つまり、バンクBa1又はバンクBa2が選択されておりなお且つ列アドレスY0が“0B”である場合に、選択信号CBA12が“H”レベルとなる。そして、選択回路71-12以外の選択回路もこれに準じた回路構成とすれば良い。例えば、図5に示した選択回路71-01にはバンク選択信号CB00N及びバンク選択信号CB01Nを入力するとともに、信号Y0Nの反転信号である信号Y0T（図示省略）を入力する。そして、バンク選択信号CB00N、CB01Nの少なくとも一方が“L”レベルであって、なおかつ、信号Y0Tが“H”レベルであるときにだけ選択信号CBA01として“H”レベルを出力するようにすれば良い。

#### 【0057】

次に、図5に示したデコード回路72-1～72-7は、図4に示したカラム選択回路群60-0、60-01、60-12、60-23等に入力されるプリデコード信号を生成する回路ブロックである。ここで、図8はこれらデコード回路のうちのデ

コード回路 72-4 についてその詳細構成を示したものである。同図において、符号 91～98 は何れも 2 入力 NAND ゲート、符号 101～108 は何れもインバータである。また、信号 Y4N5N6N は列アドレス Y6～Y4 が何れも “0B” のときに “H” レベルとなる信号である。したがって、列アドレス Y4～Y6 の各々が “0B” のときに信号 Y4N～Y6N（図示省略）がそれぞれ “H” レベルになるとすれば、これら 3 本の信号 Y4N～Y6N の論理積をとることで信号 Y4N5N6N が得られる。また、例えば信号 Y4N5N6T は列アドレス Y6～Y4 が “100B” のときに “H” レベルとなる信号である。以下同様にして、信号 Y4T5T6T は列アドレス Y6～Y4 が “111B” のときに “H” レベルとなる信号であって、列アドレス Y4～Y6 の各々が “1B” のときに信号 Y4T～Y6T がそれぞれ “H” レベルになるとすれば、これら 3 本の信号 Y4T～Y6T の論理積をとることで信号 Y4T5T6T が得られる。

## 【0058】

そして、NAND ゲート 91～98 でこれら 8 本の信号と図 5 に示した選択信号 CBA12 との論理積をとり、インバータ 101～108 をそれぞれ通すことにより、最終的なデコード信号として信号 Y4N5N6Ns～信号 Y4T5T6Ts の 8 本の信号が得られる。また、以上説明したことは列アドレス Y6～Y4 についてのものであるが、列アドレス Y3～Y1 についても全く同様である。例えば図 5 に示した選択回路 72-5 を構成するには、選択回路 72-4 と同様に選択信号 CBA12 を入力するとともに、列アドレス Y3～Y1 の 3 ビットをデコードした 8 本の信号（図 8 の信号 Y4N5N6N～Y4T5T6T に対応）を入力し、これら 8 本のデコード信号と選択信号 CBA12 と論理積をとったものをそれぞれ出力信号とすれば良い。また、例えば選択回路 72-3～72-4 については、選択回路 72-5～72-6 が使用していた選択信号 CBA12 の代わりに選択信号 CBA01 を用いれば良い。

## 【0059】

次に、図 9 は図 4 に示した個々のカラム選択回路についてその詳細構成を示したものであって、図 14 に示したものと同一信号については同一の信号名を付してある。図中、符号 110～113 は何れも N チャネルのトランジスタである。

また、符号COL123は図4に「Y123」で示した8本のプリデコード信号のうちの何れか1本であり、符号COL456は図4に「Y456」で示した8本のプリデコード信号のうちの何れか1本である。そして、本実施形態によるカラム選択回路では、列アドレスの上位部分および下位部分に関する各プリデコード信号をデジット線及びI/O線と平行に同回路の左右から入力して、縦積みされた2段のトランジスタ（TR110～111又はTR112～113）のゲートにそれぞれ供給するような構成としている。

#### 【0060】

いま、図示したカラム選択回路が選択されたのであれば、これら2つのプリデコード信号COL123及びCOL456が何れも“H”レベルとなるので、TR110～113が全てオンとなって、デジット線Dと信号線I/OTが互いに接続されるとともに、デジット線DBと信号線I/ONが互いに接続される。これに対して、図示したカラム選択回路が非選択状態であれば、プリデコード信号COL123又はプリデコード信号COL456のうちの少なくとも一方が“L”レベルとなるため、2段積みされたトランジスタのうちの何れかはオフとなって、デジット線D、DBと信号線I/OT、I/ONは接続されない。以上の通り、それぞれのカラム選択回路は、バンク選択および列アドレスY6～Y0のプリデコードが行われた2本のプリデコード信号を用いて、メモリセルアレイが配置された領域で最終的なデコード（即ち、メインデコード）を行っている。

#### 【0061】

以上の説明から、本実施形態による半導体記憶装置の動作は明らかであるが、本発明に関連する範囲でその全体的な動作を以下に説明する。ここでは、半導体記憶装置からデータを読み出す場合について説明するが、半導体記憶装置に対してデータの書き込みを行う場合もデータの転送方向が逆になること以外はほぼ同様の動作となる。いま、半導体記憶装置の外部からアドレス信号が供給されたとすると、このアドレス信号は図1に示した回路ブロック6内のボンディングパッドや入出力インタフェース回路を経て、回路ブロック24-1、24-2および行デコーダ3-1～3-8に伝達される。

#### 【0062】



これらの行デコーダは、アドレス信号に含まれる行アドレスをデコードして、指定された行アドレスに対応するワード線を活性化させる。さらに正確に言えば、これら行デコーダがメインワード線MWL（図2を参照）を活性化させるとともに、図2に示したサブワードドライバ制御回路36及びサブワードドライバ37がこのメインワード線MWLに接続される8本のサブワード線SWL（図3を参照）を活性化させる。これによって、指定された行アドレスに対応するサブワード線SWLに接続されたセルトランジスタ40がオンとなって、当該メモリセルの保持内容がビット線BL上に出力されるようになる。

#### 【0063】

また、図1に示した回路ブロック24-1、24-2内では、入力されたアドレス信号に含まれるバンクアドレスで指定されたバンクについて、センスアンプ活性化信号SAA（図11を参照）が活性化される。例えばいまバンクBa1が指定されたとすると、このバンクBa1の両側に配置されているセンスアンプが活性化される。この点を図2に即して説明するならば、メモリセルアレイ30の両側に配置されたセンスアンプ領域35、35の部分にそれぞれ存在している図示しないセンスアンプが活性化されることになる。そしてこれらの活性化されたセンスアンプは、自身に接続されたビット線BL上の信号レベルをセンスしてそのセンス結果をデジット線D、DB（図9を参照）上に出力する。

#### 【0064】

また、回路ブロック24-1、24-2内の列デコーダ33（図2を参照）は、入力されたアドレス信号に含まれるバンクアドレス及び列アドレスY6～Y0に従って、32本存在する列アドレスのプリデコード信号のうちの2本のプリデコードを有効にする。ここではバンクBa1が選択されていることを想定しているため、図4に示したカラム選択回路群60-01、60-12等に対応するプリデコード信号がその対象となる。いま、列アドレスY6～Y0が“1000001B”（\$41）であることを想定すると、図4に示したプリデコード信号64-1（Y123側）及びプリデコード信号64-3（Y456側）の2本が有効となり、前者がカラム選択回路63、65にそれぞれ入力されるとともに、後者がカラム選択回路65、66にそれぞれ入力される。

## 【 0 0 6 5 】

この結果、Y 1 2 3 側及び Y 4 5 6 側の双方のプリデコード信号が有効であるカラム選択回路 6 5 が選択される。つまり、カラム選択回路 6 5 では図 9 に示したプリデコード信号 COL 1 2 3, COL 4 5 6 が何れも有効となり、それによって、上述したセンスアンプのデジット線 D, DB が信号線 I / O T, I / O N に接続される。すると、カラム選択回路 6 5 に接続されたメモリセルの保持内容が、図 4 に示したローカルな I / O 線 6 2 -01 を介してグローバルな I / O 線 6 1 -0 に転送されて、例えば図 1 に示した回路ブロック 2 2 -1 に送られる。この回路ブロック 2 2 -1 では、図 1 0 に示したデータアンプ 1 9 と同等のデータアンプがグローバルな I / O 線上の信号を増幅する。こうした動作が各メモリセルアレイブロック 2 1 -1 ~ 2 1 -4 (又はメモリセルアレイブロック 2 1 -5 ~ 2 1 -8) で 3 2 I / O 分同時に行われ、都合、1 2 8 I / O 分のデータが回路ブロック 6 を通じて半導体記憶装置の外部に出力される。

## 【 0 0 6 6 】

本実施形態によれば、従来技術のところで説明したカラム選択信号 Y S W と I / O 線間のクロストークによる問題 (図 1 5 を参照) が発生することはない。図 1 0 は本実施形態におけるカラム選択信号 Y S W と I / O 線間の関係を示したものであって、図 1 5 に示したものと同一構成要素、信号については同一の符号、信号名を付してある。図示したように、本実施形態でも I / O 線の配置に関しては従来と同様であって、図中の左端に位置する図示しないカラム選択回路からデータアンプ 1 9 までグローバルな I / O 線が水平方向に走る。

## 【 0 0 6 7 】

一方でカラム選択信号 Y S W は、従来のように I / O 線に近接してこれと平行に走ることはなく、図示を省略したワード線と平行して行デコーダ 1 2 0 (図中の「COLdec」) から垂直方向に延びるとともに、目的とするカラム選択回路の近傍において当該カラム選択回路に向かうように直角に折れ曲がる配置になっている。このように、本実施形態ではカラム選択信号 Y S W の大部分が I / O 線に直交して配線されているため、これらの両信号線の間におけるカップリングは殆どなく、I / O 線上の信号がクロストークによるノイズの影響を受けることがなく

なる。また、本実施形態では、列デコーダ 1 2 0 がデータアンプ 1 9 の近傍ではなく行デコーダ 1 1（図中の「ROWdec」）に隣接して配置されており、メモリセルアレイブロックからデータアンプ 1 9 に引き出される部分のレイアウトを簡素にすることが可能である。

#### 【0 0 6 8】

また、本実施形態によれば、従来技術のところで説明したように、センスアンプ活性化信号を有効にしてからカラム選択信号を有効にするまでの時間マージンに関わる問題（図 1 6 を参照）が生じることもない。図 1 1 は本実施形態におけるカラム選択信号、ワード線、センス系信号の間の関係を示したものであって、図 1 6 に示したものと同一構成要素、信号については同一の符号、信号名を付してある。図 1 1 に示したように、本実施形態では、センスアンプ活性化信号 S A A、カラム選択信号 Y S W 及びワード線 W L がいずれも同じ方向に平行して走るような配置となっている。このため、例えば領域 A 1 1 で示す部分はワード線、センス系信号、カラム選択信号 Y S W のいずれにとっても近端になり、一方で、例えば領域 B 1 1 で示す部分はワード線、センス系信号、カラム選択信号 Y S W のいずれにとっても遠端になる。つまり本実施形態では、メモリセルアレイブロックの全体にわたって、ワード線、センス系信号、カラム選択信号の遅延分布が合致している。このため、センスアンプ活性化信号 S A A を有効にしてからカラム選択信号 Y S W を有効にするまでの時間マージンは、領域 A 1 1、領域 B 1 1 の何れを基準としても時間マージンをほぼ同じにすることが可能である。

#### 【0 0 6 9】

##### 【発明の効果】

以上説明したように、請求項 1 又は 2 記載の発明では、行デコード手段と列デコード手段を隣接して配置し、行選択信号で駆動されるワード線と列選択信号が出力される列選択信号線を平行に配線するようにしている。このため、例えば、メモリセルから I/O 線経由で送られるデータ信号を増幅するデータアンプの近傍に列デコード手段を配置する必要がなくなって、メモリブロックからデータアンプに引き出される部分のレイアウトを簡素なものにすることが可能となる。

また、請求項 3 記載の発明では、ワード線及び列選択信号線を同一方向からメ

メモリブロックへ供給している。このため、ワード線と同一方向に配線されるセンスアンプ活性化信号についても、列選択信号線と同一方向にメモリブロックへ供給できるようになる。その結果、メモリブロックの全体にわたって、ワード線、センスアンプ活性化信号、列選択信号の遅延分布を均一にすることができ、センスアンプ活性化信号を有効にしてから列選択信号を有効にするまでの時間のマージンもチップ全体にわたって均一化されてその時間マージンを従来よりも小さくすることができる。

## 【0070】

また、請求項4記載の発明では、ワード線及び列選択信号線を同一配線層で配線しているため、当該配線層の領域を有効に利用することが可能となる。

また、請求項5記載の発明では、各ワード線を複数本のサブワード線とこれらを制御するメインワード線からなる階層化ワード線構造にしている。これにより、隣接するメインワード線間でサブワード線の本数に相当する分だけの配線間隔をとることができるようになって、隣接するメインワード線間に列選択信号線を配線することが容易になる。

また、請求項6記載の発明では、列デコード手段で列アドレスのプリデコードを行うとともに、このプリデコードの結果に基づいて、センスアンプ領域に設けられた列選択手段が列アドレスのメインデコードを行うようにしている。このため、列アドレスの全ビットをフルデコードする場合に比べて、センスアンプ領域に配線される信号線の本数を減らすことができ、ひいてはチップ全体の面積を縮小することができる。

また、請求項7記載の発明では、列プリデコード信号をバンク毎に供給するようにしている。このため、従来のように、複数のバンクにまたがって列選択信号線を配線する必要がなくなり、各バンクのセンスアンプ領域部分で個別に列選択を行うことが可能となる。

また、請求項8又は9記載の発明では、メモリブロック内に配置されているメモリセル上に、複数の金属配線層の間を接続するスルーホール等の接続手段を設けるようにしている。このため、メモリブロック上を走るワード線に平行して列選択信号線を走らせ、なおかつ、スルーホール等を介してこの列選択信号線の配

線を別の金属配線層に切り替えてワード線と直交するように配線することなどが容易に実現できるようになる。

【0071】

また、請求項10記載の発明では、列選択信号線及び入出力信号線を互いに直交するように配置している。このため、これら列選択信号線及び入出力信号線の間でカップリングに起因するクロストークが発生することはなくなり、列選択信号線が変化することによって入出力信号線にノイズが混入するといった不具合を解消することができる。

また、請求項11記載の発明では、列アドレスをプリデコードして2系統の列プリデコード信号を生成し、センスアンプが配置されたセンスアンプ領域を挟むようにして、これら2系統の列プリデコード信号の信号線を配置し、センスアンプ領域に設けられた列選択手段でメインデコードを行うようにしている。このため、列アドレスの全ビットをフルデコードする場合と比べたときに、列プリデコード信号の配線ピッチの制限をより緩やかなものにすることができる。また、プリデコードを3段階以上にする構成と比べて、列選択手段を構成するトランジスタの個数を減らせるため、列選択手段の規模を小さくできることからセンスアンプ領域の面積を増大させずに済み、チップ全体の面積も縮小できるという利点がある。このほか、上記トランジスタの段数が2段で済むことから、トランジスタのオン抵抗によってセンスアンプからのデータが入出力信号線に伝達されにくくなるといった問題が生じることもない。さらに、プリデコード信号が2系統に分割されて配線されるので、これら2系統のプリデコード信号を同一の配線層を利用して配線する場合であっても、これらプリデコード信号を互いにオーバーラップさせずに済み、配線ピッチの制約といった点からも好ましい。

【0072】

また、請求項12記載の発明では、上述した2系統の列プリデコード信号を相互に向き合う方向で列選択手段へ供給するようにしている。このため、列プリデコード信号を何れか片側から列選択手段に供給するような構成に比べて、列プリデコード信号の配線ピッチの制限をより緩やかなものにすることができる。

また、請求項13記載の発明では、列プリデコード手段が列アドレスをバンク

アドレスとともにプリデコードし、このプリデコード結果に基づいて、センスアンプ領域に設けられた列選択手段が列アドレスのメインデコードを行うようにしている。つまり、メモリブロックの根元にある列デコード手段のところでバンクの選択も併せて行うようにしているため、従来のように、列選択信号線に直交するようにバンク選択信号線をセンスアンプ領域に配線する必要がなくなり、センスアンプ領域の面積を縮小することが可能になり、その結果チップ全体の面積も小さくなる。また、従来のようにバンク選択信号線を電源電圧を越える電圧にまで昇圧する必要がなくなるため、列選択のために昇圧電源を使用せずに済み、昇圧電源の回路規模を小さくできるほか、それによる消費電流の増加を抑えることができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態における半導体記憶装置の概略構成を示すブロック図である。

【図 2】 図 1 に示す領域 A 1 の部分を拡大して示した説明図である。

【図 3】 同実施形態におけるメモリセル近傍の様子を示した説明図であって、(a) はメモリセル近傍の論理的な接続関係を示した回路図、(b) はメモリセル近傍の断面図である。

【図 4】 同実施形態においてカラム選択信号がメモリセルアレイブロック上で配線される様子を示した説明図である。

【図 5】 同実施形態におけるカラム選択回路群に入力されるプリデコード信号を生成する回路構成を示したブロック図である。

【図 6】 図 5 に示すバンク選択回路のうちのバンク選択回路 70-0 についてその詳細な構成を示した回路図である。

【図 7】 図 5 に示す選択回路のうちの選択回路 71-12 についてその詳細な構成を示した回路図である。

【図 8】 図 5 に示すデコード回路のうちのデコード回路 72-6 についてその詳細な構成を示した回路図である。

【図 9】 同実施形態におけるカラム選択回路の詳細な構成を示す回路図である。

【図 10】 同実施形態におけるカラム選択信号と I/O 線の間関係を示した説明図である。

【図 11】 同実施形態におけるカラム選択信号、ワード線、センス系信号の間関係を示した説明図である。

【図 12】 従来の技術における半導体記憶装置の概略構成を示すブロック図である。

【図 13】 図 12 に示したメモリセルアレイブロック 1-1 の近傍を拡大して示した説明図である。

【図 14】 従来の技術におけるカラム選択回路の詳細な構成を示す回路図である。

【図 15】 従来の技術におけるカラム選択信号と I/O 線の間関係を示した説明図である。

【図 16】 従来の技術におけるカラム選択信号、ワード線、センス系信号の間関係を示した説明図である。

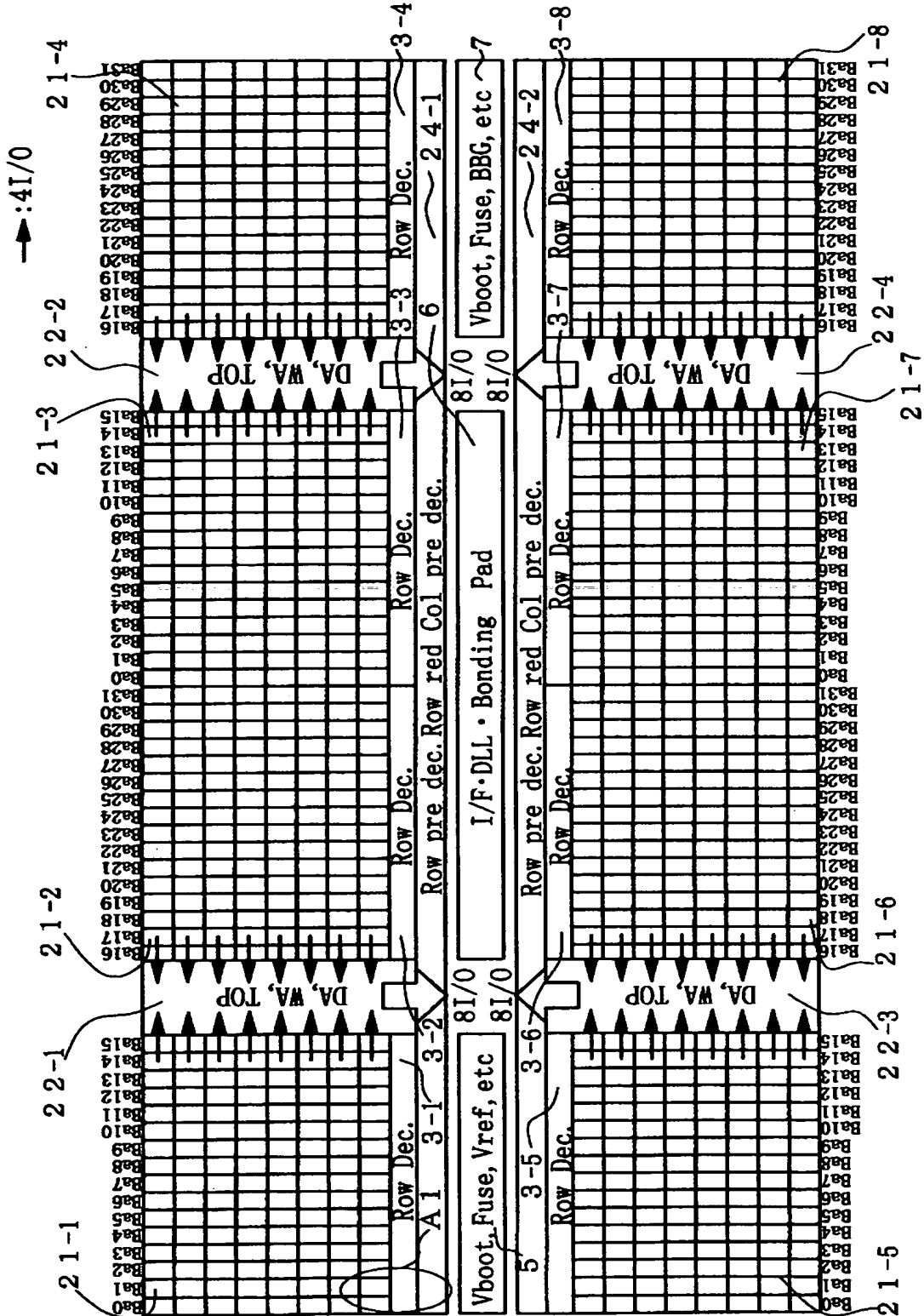
#### 【符号の説明】

3-1~3-8, 11...行デコーダ、21-1~21-8...メモリセルアレイブロック、30...メモリセルアレイ、31...行デコーダ、33...列デコーダ、34...コンタクト、35...センスアンプ領域、40...セルトランジスタ、41...セル容量、42...セル対極、52...コンタクト、53...スルーホール、60-0, 60-01, 60-12, 60-23...カラム選択回路群、61-0, 61-1, 62-0, 62-01, 62-12, 62-23...I/O 線、63...カラム選択回路、64-1~64-3...プリデコード信号、65, 66...カラム選択回路、70-0~70-2...バンク選択回路、71-0, 71-01, 71-12, 71-23...選択回路、72-1~72-7...デコード回路、110~113...トランジスタ、120...列デコーダ、Ba0~Ba31...バンク、COL123, COL456...プリデコード信号、D, DB...デジタル線、I/ON, I/OT...信号線、MWL...メインワード線、SAA...センスアンプ活性化信号、SWL...サブワード線、WL...ワード線、YSW...カラム選択信号

【書類名】

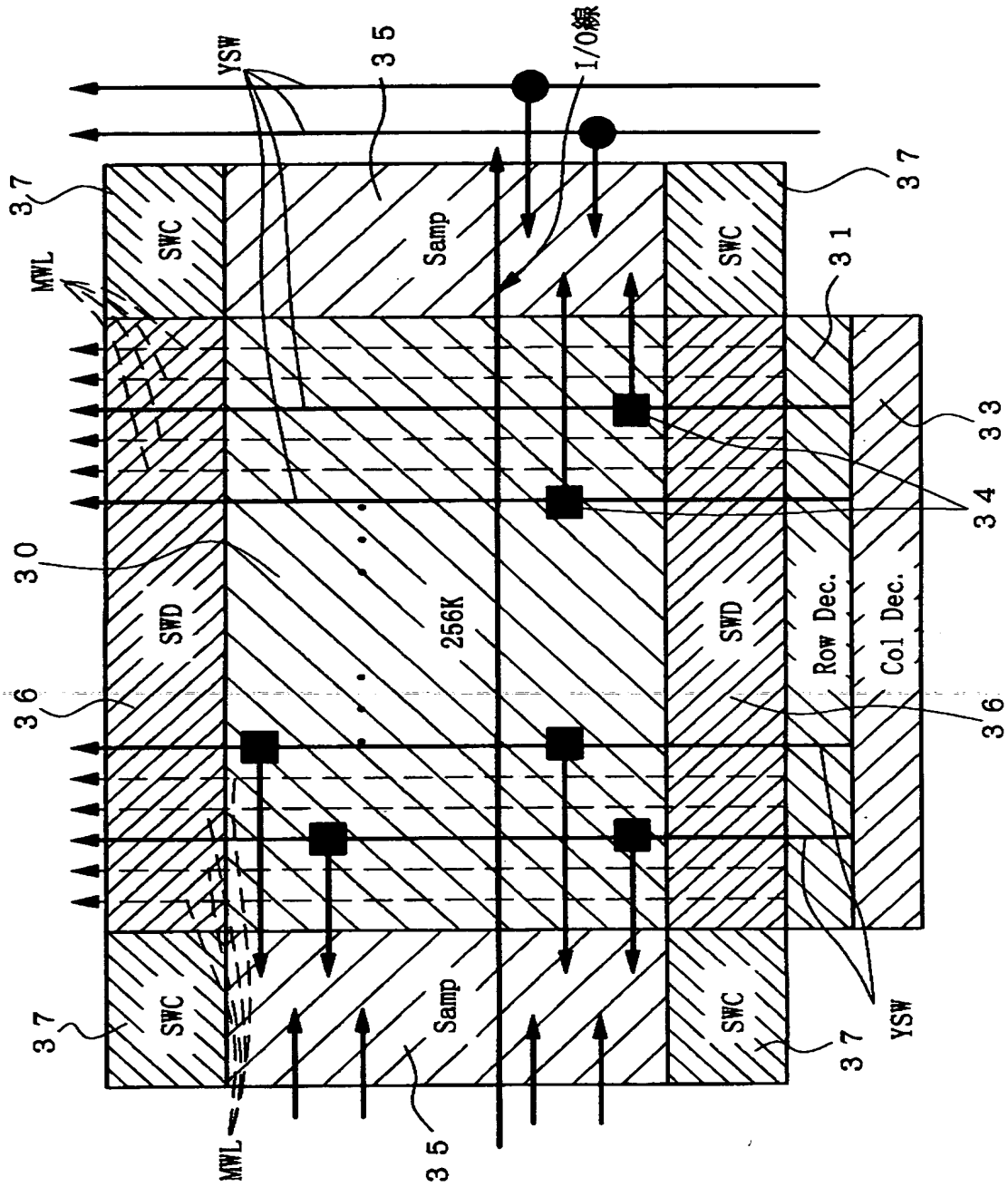
図面

【図 1】

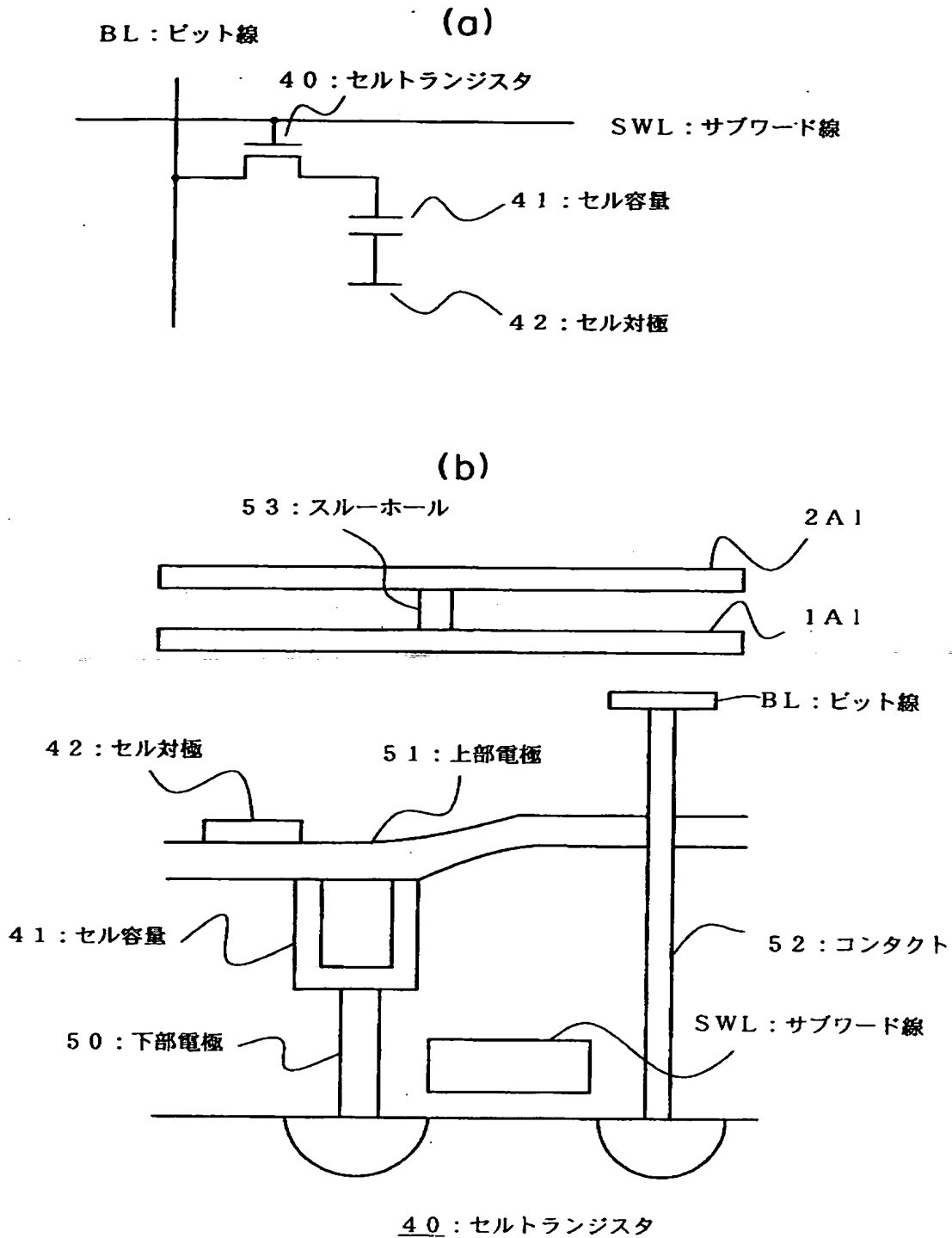




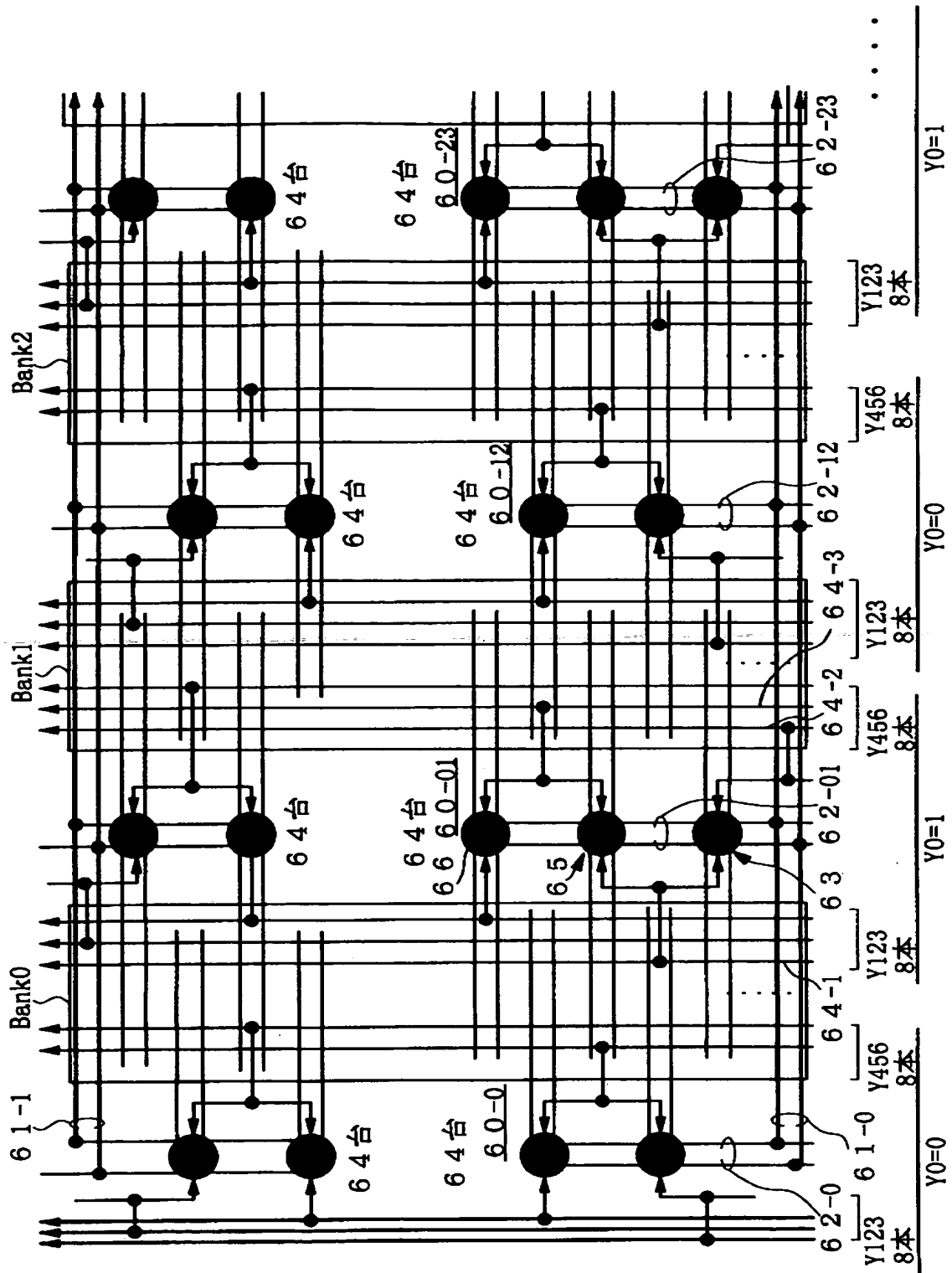
【図 2】



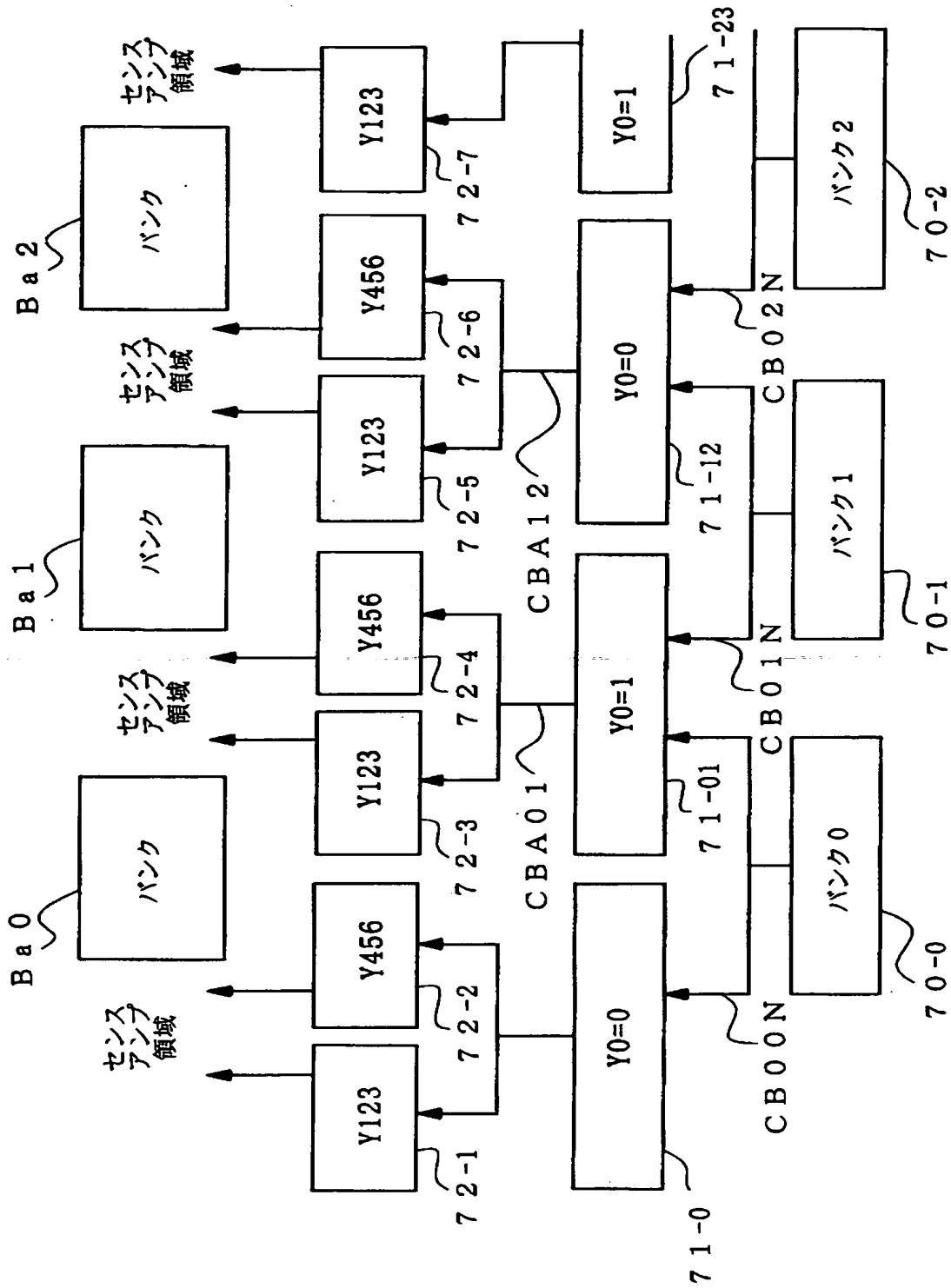
【図 3】



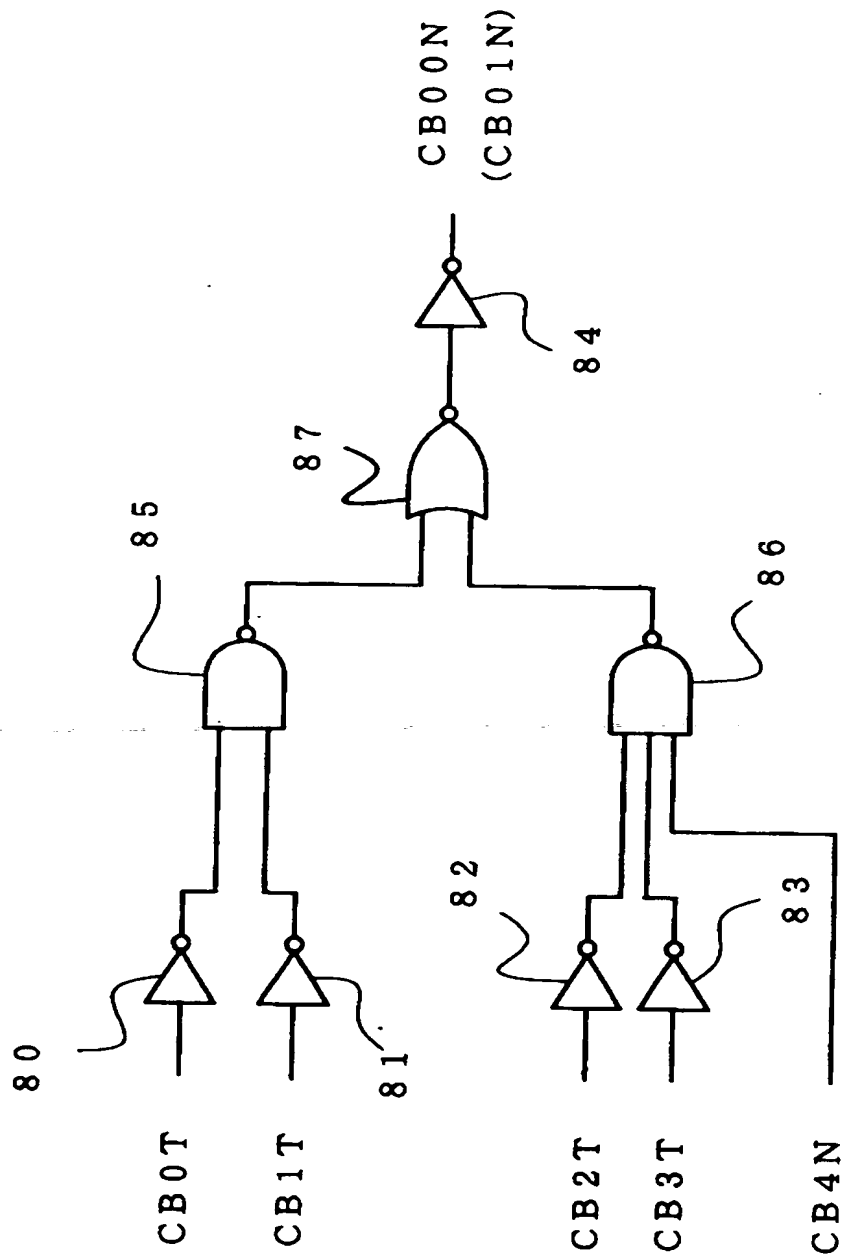
【図4】



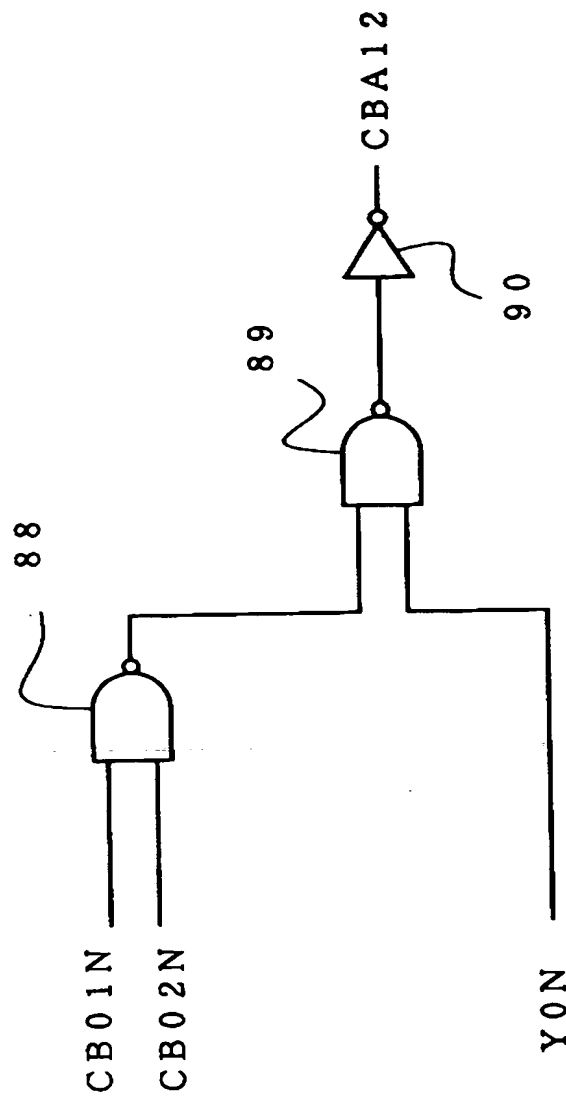
【図 5】



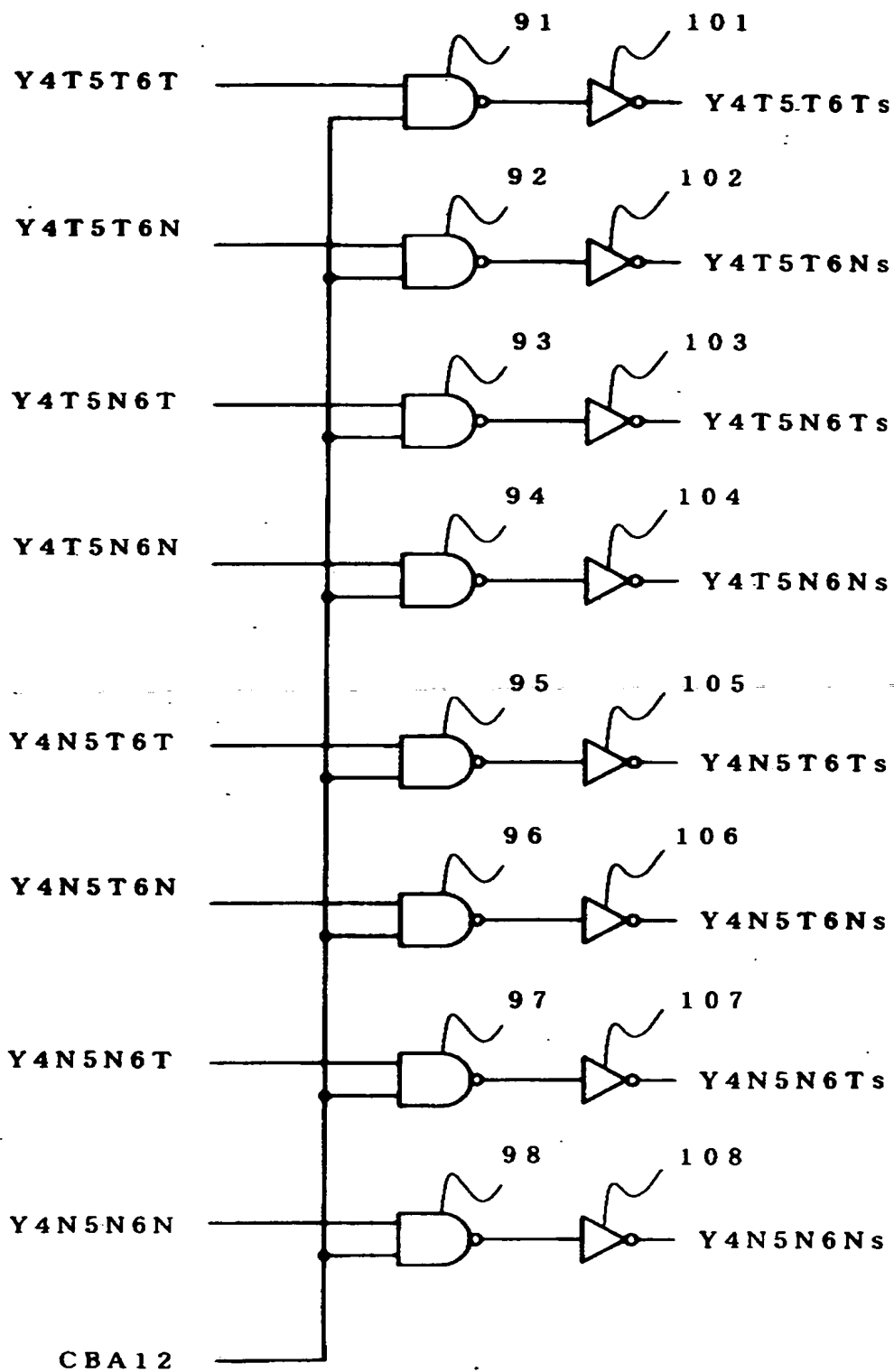
【図 6】



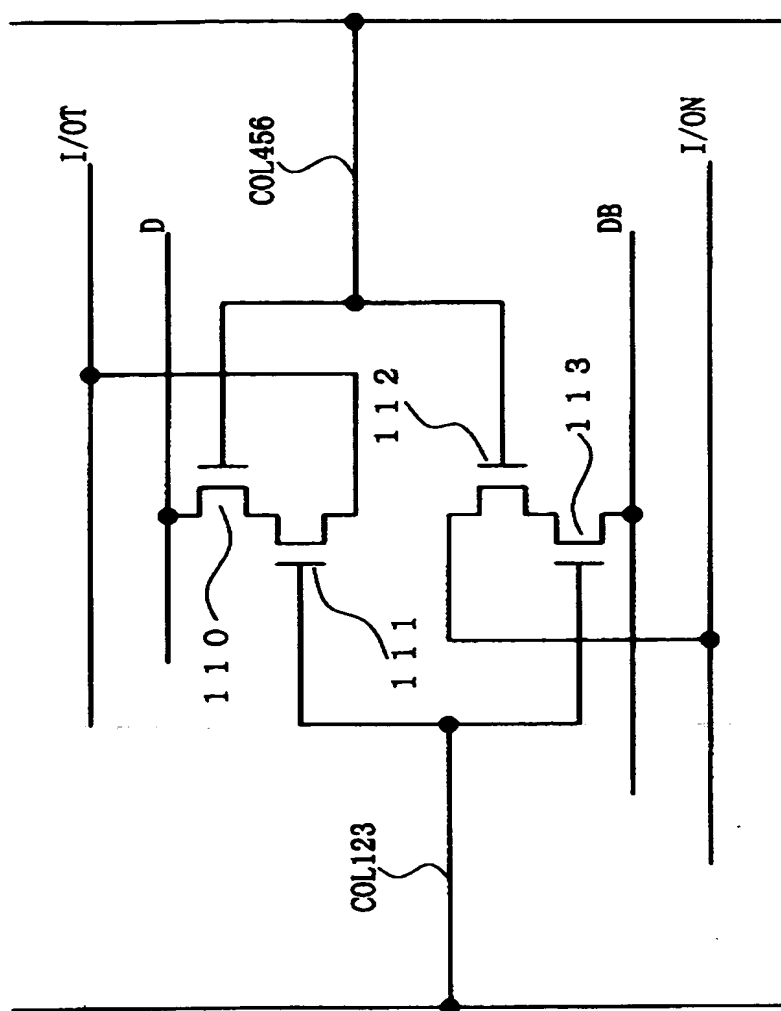
【図 7】



【図 8】

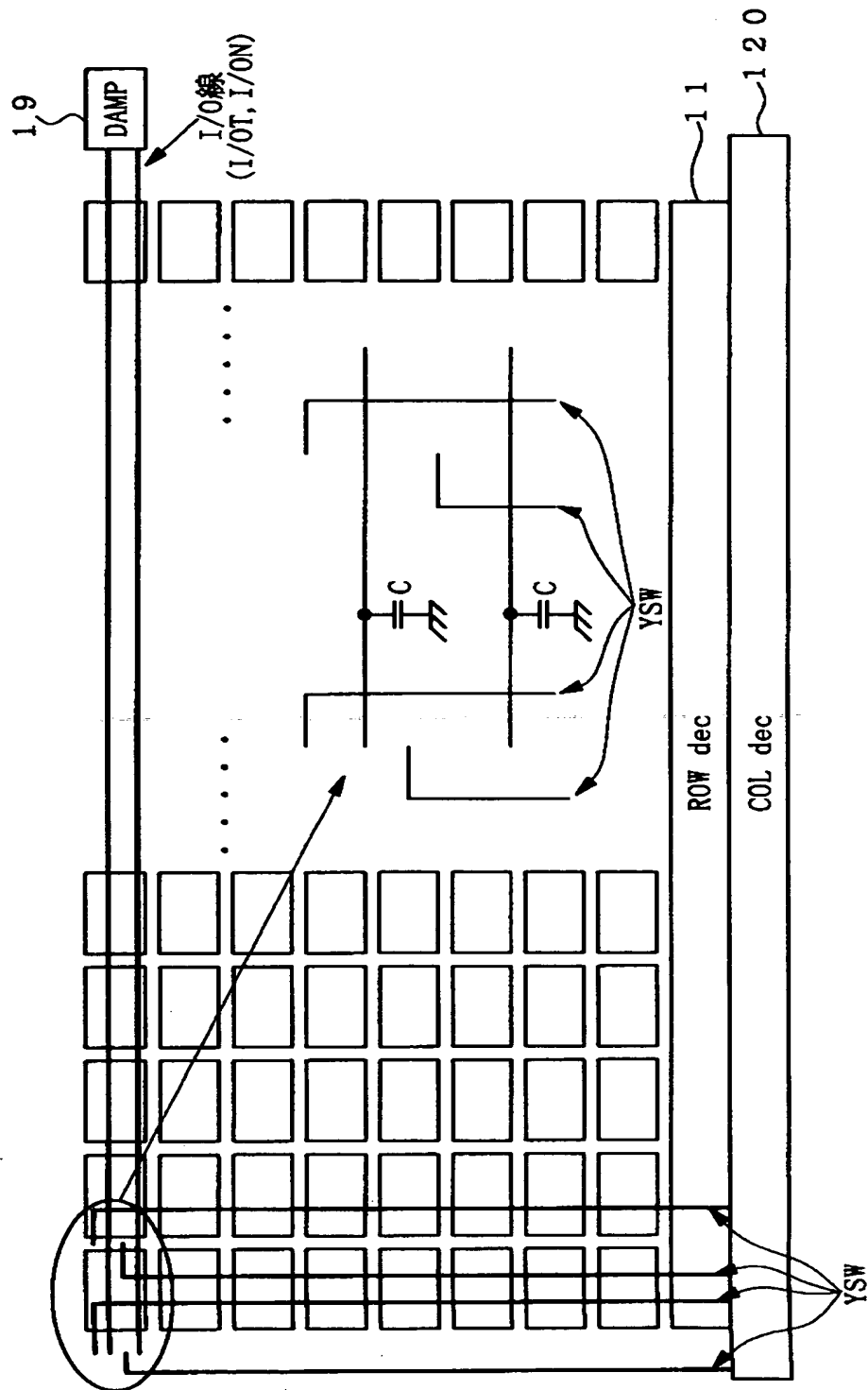


【図 9】

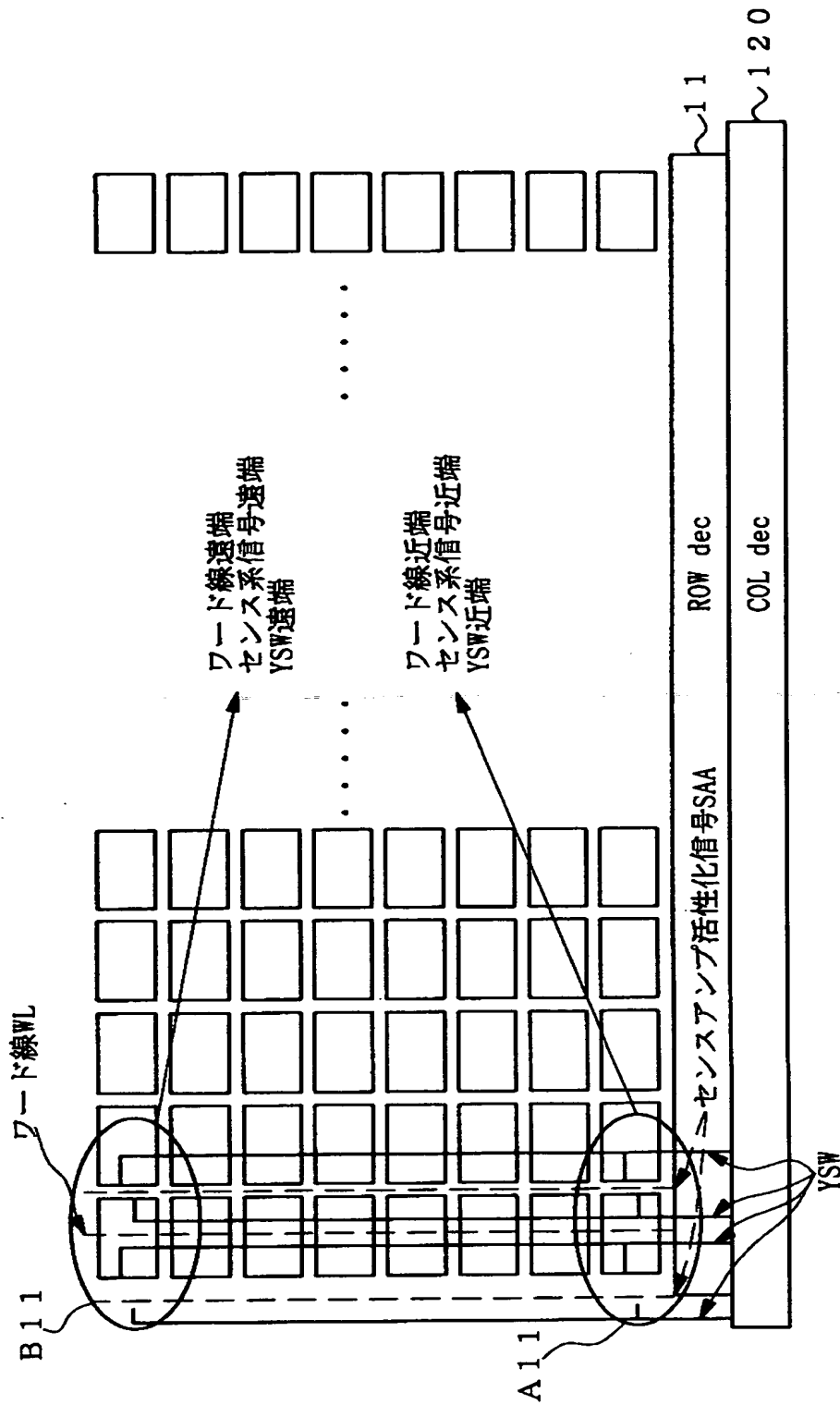




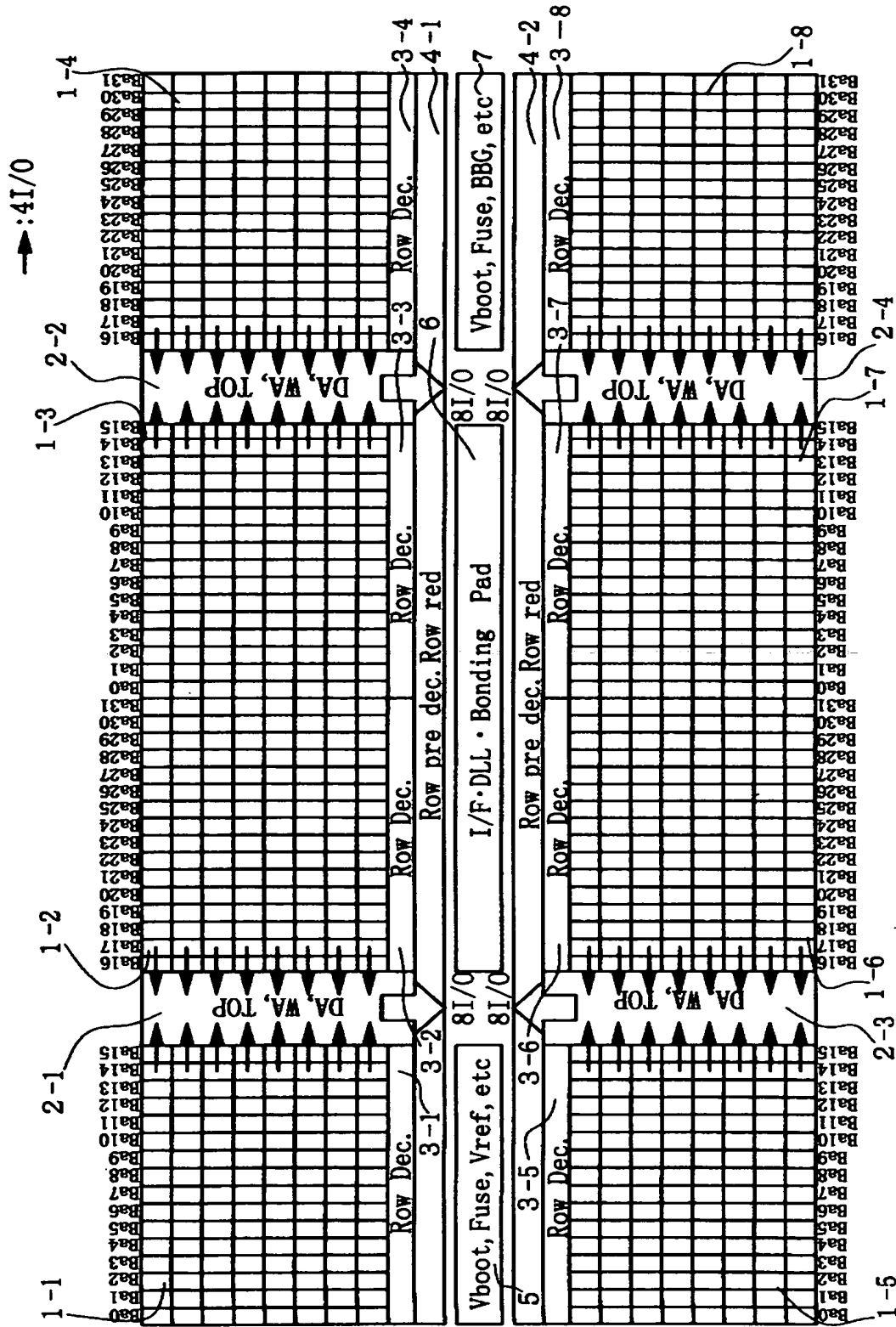
【図 1 0】



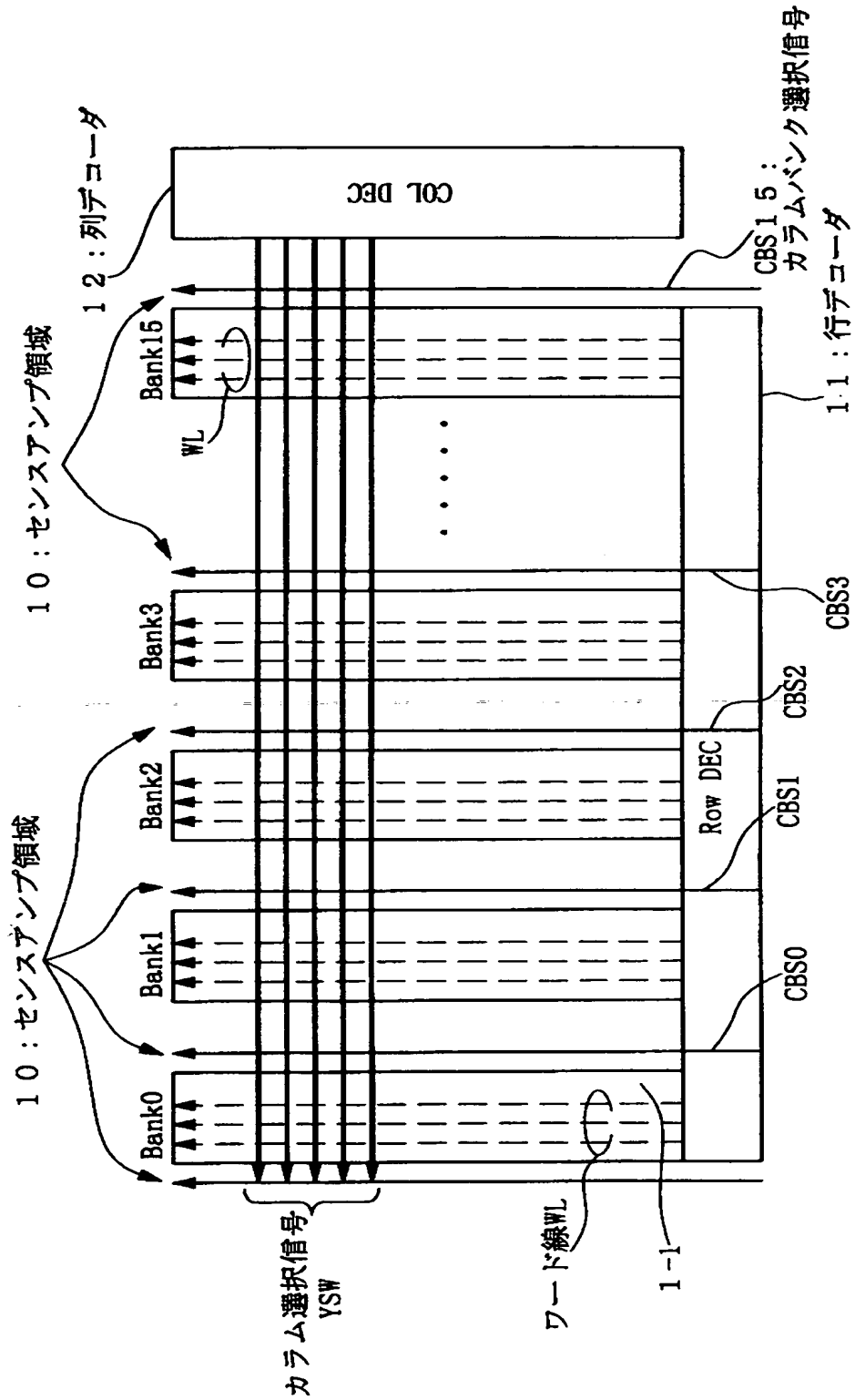
【図 11】



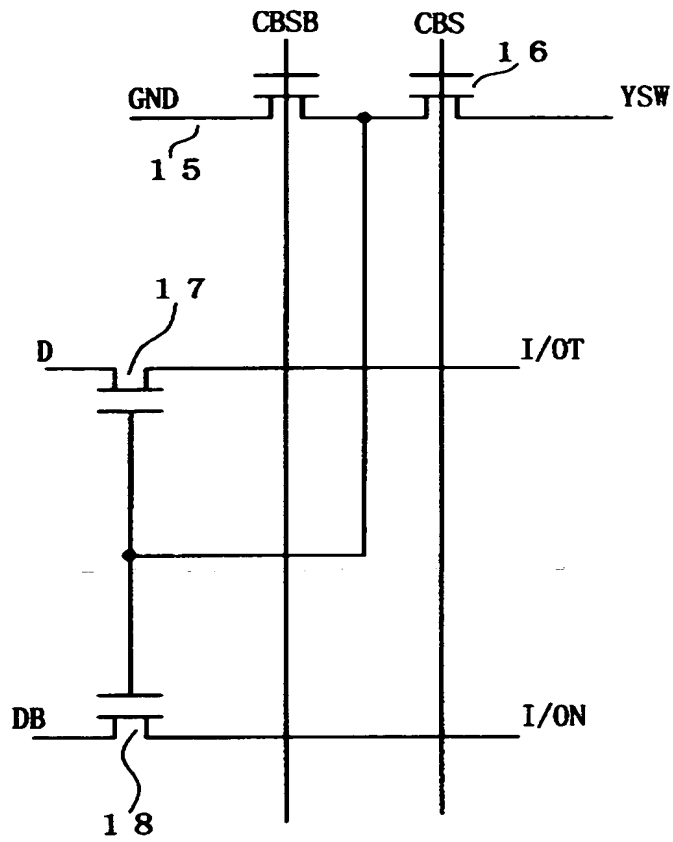
【図 1 2】



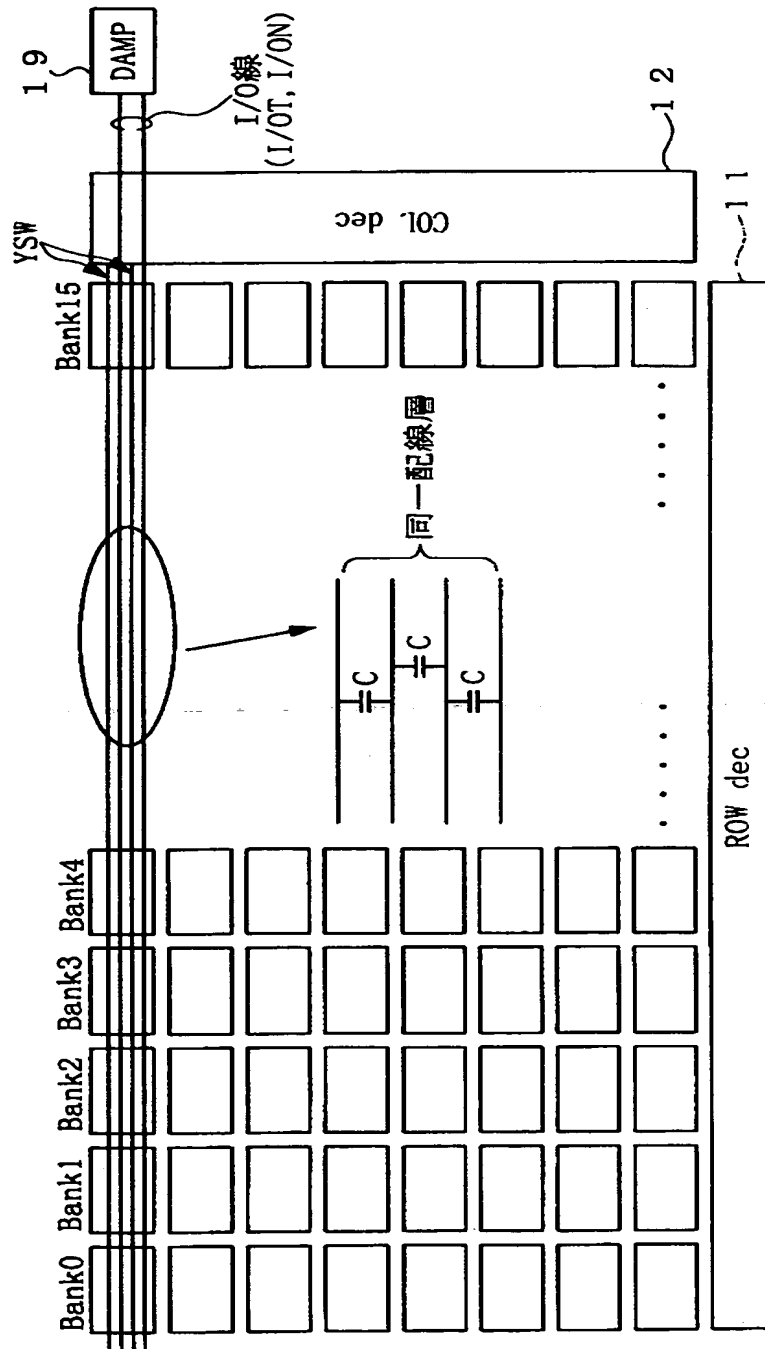
【図 1 3】



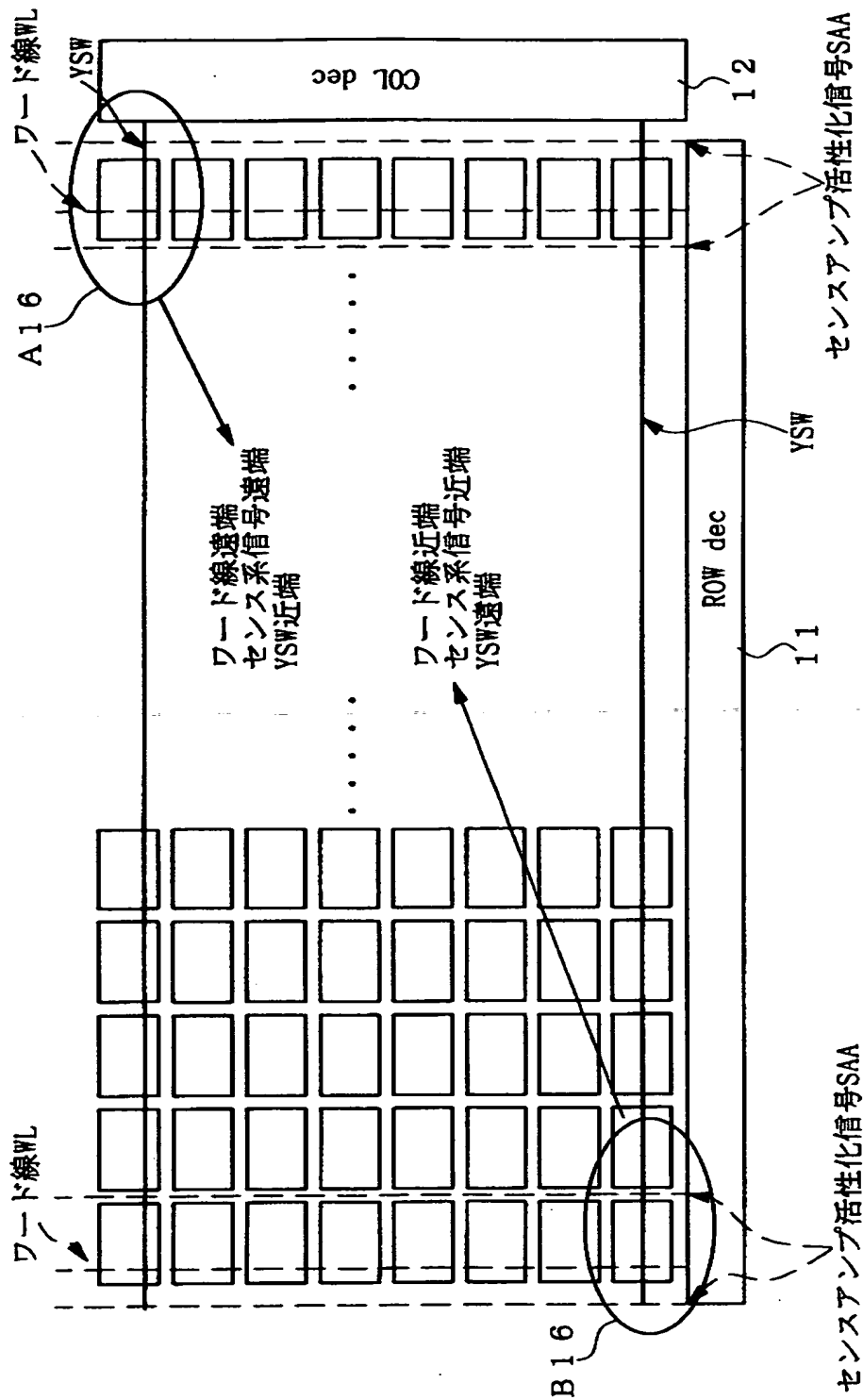
【図 1 4】



【図 1 5】



【図 16】



【書類名】 要約書

【要約】

【課題】 誤作動のない高速動作を可能としつつ、できる限り簡易な構成であって消費電流の少ない半導体記憶装置を実現する。

【解決手段】 メモリセルアレイブロック 2 1-1～2 1-8は、独立のメモリ単位であるバンク B a 0～B a 3 1のうち 1 6バンクがまとめられて構成される。行デコーダ 3-1～3-8は入力されたアドレス信号中の行アドレスをデコードする。これら行デコーダに隣接配置された回路ブロック 2 4-1, 2 4-2には、アドレス信号中のバンクアドレスをデコードする回路と、アドレス信号中の列アドレスをデコードする列プリデコーダが含まれ、バンクアドレス及び列アドレスのプリデコード信号を各メモリセルアレイブロックに出力する。各メモリセルアレイブロックにはカラム選択回路が配置されており、出力されたプリデコード信号に基づいて列アドレスの最終的なデコードを行い、図示しないセンスアンプと I / O 線を接続する。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社